

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3105229号
(P3105229)

(45)発行日 平成12年10月30日(2000. 10. 30)

(24)登録日 平成12年 9 月 1 日(2000. 9. 1)

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 29/78
21/331
21/336
29/73

H 0 1 L 29/78 3 0 1 L
3 0 1 G
29/72

請求項の数11(全 29 頁)

(21)出願番号 特願平2-244586

(22)出願日 平成2年9月14日(1990. 9. 14)

(65)公開番号 特開平4-124834

(43)公開日 平成4年4月24日(1992. 4. 24)

審査請求日 平成9年8月19日(1997. 8. 19)

(73)特許権者 999999999

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1
番1号

(72)発明者 中村 俊二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 999999999

弁理士 北野 好人

審査官 河口 雅英

(58)調査した分野(Int.Cl.⁷ , D B名)

H01L 29/78
H01L 29/73

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に設けられ、前記半導体基板の電界が
集中する領域上に空隙を形成する絶縁層とを有し、
前記空隙により、前記電界が集中する領域に発生したホ
ットキャリアが前記絶縁層中に注入、捕獲されることを
防止する

ことを特徴とする半導体装置。

【請求項2】請求項1記載の装置において、

前記空隙内の前記電界が集中する領域上に、絶縁薄膜が
形成されている

ことを特徴とする半導体装置。

【請求項3】半導体基板と、

前記半導体基板表面に設けられたソース領域及びドレ
イン領域と、

前記ソース領域及びドレイン領域に挟まれたチャネル領
域上に、ゲート絶縁膜を介して設けられたゲート電極
と、

前記半導体基板上に設けられ、前記ソース領域及びドレ
イン領域の前記チャネル領域と接する領域上に空隙を形
成する絶縁層と

を有することを特徴とする半導体装置。

【請求項4】請求項3記載の装置において、

前記空隙内の前記ソース領域及びドレイン領域の前記チ
ャネル領域と接する領域上に、絶縁薄膜が形成されてい
る

ことを特徴とする半導体装置。

【請求項5】半導体基板と、

前記半導体基板表面に設けられたコレクタ領域と、
前記コレクタ領域表面に設けられ、外部ベース領域及び

内部ベース領域からなるベース領域と、
前記内部ベース領域表面に設けられたエミッタ領域と、
前記半導体基板上に設けられ、前記内部ベース領域上に
空隙を形成する絶縁層と
を有することを特徴とする半導体装置。

【請求項6】半導体基板の電界が集中する領域上に、第
1の層を選択的に形成する工程と、
前記半導体基板上及び前記第1の層上に、絶縁層を形成
する工程と、
前記絶縁層を選択的にエッチングして前記第1の層の一
部を露出させた後、前記絶縁層とのエッチング速度の差
を利用して前記第1の層を選択的にエッチング除去し、
前記電界が集中する領域と前記絶縁層との間に隙間を形
成する工程と、
全面に第2の層を堆積して前記隙間の口を塞ぎ、前記電
界が集中する領域上に空隙を形成する工程とを有し、
前記隙間により、前記電界が集中する領域に発生したホ
ットキャリアが前記絶縁層中に注入、捕獲されることを
防止する
ことを特徴とする半導体装置の製造方法。

【請求項7】請求項6記載の方法において、
前記第1の層を形成する工程の前又は前記第1の層をエ
ッチング除去する工程の後に、前記半導体基板上に絶縁
薄膜を形成する工程を有し、
前記空隙内の前記電界が集中する領域上に、前記絶縁薄
膜が形成される
ことを特徴とする半導体装置の製造方法。

【請求項8】半導体基板表面のチャネル領域上に、ゲート
絶縁膜を介してゲート電極を形成した後、前記ゲート
電極をマスクとして前記半導体基板表面に不純物を注入
し拡散してソース領域及びドレイン領域を形成する工程
と、
前記ソース領域及びドレイン領域の前記チャネル領域と
接する領域上及び前記ゲート電極側壁に、第1及び第2
の絶縁層が積層されたサイドウォール層を形成する工程
と、
前記サイドウォール層の前記第1の絶縁層と前記第2の
絶縁層とのエッチング速度の差を利用して、前記第1の
絶縁層を選択的にエッチング除去し、前記ソース領域及
びドレイン領域表面と前記サイドウォール層の前記第2
の絶縁層底面との間に隙間を形成する工程と、
全面に第3の絶縁層を堆積して前記隙間の口を塞ぎ、前
記ソース領域及びドレイン領域の前記チャネル領域と接
する領域上に空隙を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項9】請求項8記載の方法において、
前記第1の絶縁層を形成する工程の前又は前記第1の絶
縁層をエッチング除去した工程の後に、前記ソース領域
及びドレイン領域上に絶縁薄膜を形成する工程を有し、
前記空隙内の前記ソース領域及びドレイン領域の前記チャ

ネル領域と接する領域上に前記絶縁薄膜が形成される
ことを特徴とする半導体装置の製造方法。

【請求項10】第1導電型の半導体よりなるコレクタ領域
を形成する工程と、
前記コレクタ領域上に、第2導電型の不純物がドーブさ
れたポリシリコン層からなるベース電極を形成する工程
と、
全面に第1の絶縁層を形成した後、前記コレクタ領域上
の所定の場所の前記第1の絶縁層及び前記ベース電極を
選択的にエッチングして開口部を形成する工程と、
前記開口部内の前記コレクタ領域上及び前記ベース電極
側壁に、第2の絶縁層を形成する工程と、
前記第1の絶縁層をマスクとして、第2導電型の不純物
イオンを前記開口部内の前記コレクタ領域表面に選択的
に注入する工程と、
前記開口部内の前記第1及び第2の絶縁層側壁に第1の
サイドウォール層を形成する工程と、
前記第1の絶縁層及び前記第1のサイドウォール層との
エッチング速度の差を利用して、前記第2の絶縁層を選
択的にエッチング除去し、前記コレクタ領域表面と前記
第1のサイドウォール層底面との間に隙間を形成する工
程と、
前記第1のサイドウォール層側壁に第2のサイドウォール
層を形成して前記隙間の口を塞ぎ、前記内部ベース形
成予定領域上に空隙を形成する工程と、
前記第1及び第2のサイドウォール層からなる前記開口
部内の前記コレクタ領域表面に第2導電型の不純物を導
入して前記コレクタ層表面に外部ベース領域を形成し、
前記コレクタ領域表面に注入した第2導電型の不純物イ
オンを活性化させて前記外部ベース領域と接続する内部
ベース領域を形成し、前記内部ベース領域表面に第1導
電型の不純物を拡散させてエミッタ領域を形成する工程
とを有し、
前記内部ベース領域上に前記空隙が形成される
ことを特徴とする半導体装置の製造方法。

【請求項11】第1導電型の半導体よりなるコレクタ領域
を形成する工程と、
前記コレクタ領域上に、第2導電型の不純物がドーブさ
れたポリシリコン層からなるベース電極を形成する工程
と、
全面に第1の絶縁層を形成した後、前記コレクタ領域上
の所定の場所の前記第1の絶縁層及び前記ベース電極を
選択的にエッチングして開口部を形成する工程と、
前記開口部内の前記コレクタ領域上及び前記ベース電極
側壁に第2の絶縁層を形成する工程と、
前記第1の絶縁層をマスクとして、第2導電型の不純物
イオンを前記開口部内の前記コレクタ領域表面に選択的
に注入する工程と、
前記開口部内の前記第1及び第2の絶縁層の側壁にサイ
ドウォール層を形成する工程と、

前記第1の絶縁層及び前記サイドウォール層をマスクとして、第1導電型の不純物イオンを前記開口部内の前記コレクタ領域表面に選択的に注入する工程と、熱処理により、前記ベース電極から第2導電型の不純物を拡散させて前記コレクター層表面に外部ベース領域を形成し、前記コレクタ領域表面に注入した第2導電型及び第1導電型の不純物イオンを活性化させて前記外部ベース領域と接続する内部ベース領域及び前記内部ベース領域表面のエミッター領域をそれぞれ形成する工程と、前記第1の絶縁層及び前記サイドウォール層とのエッチング速度の差を利用して、前記第2の絶縁層を選択的にエッチング除去し、前記内部ベース領域表面と前記サイドウォール層底面との間に間隙を形成する工程と、全面に導電層を形成し、前記隙間の口を塞いで前記内部ベース領域上に空隙を形成した後、所定の形状にパターニングして、前記開口部内の前記エミッタ領域上に、エミッタ電極を形成する工程とを有し、前記内部ベース領域上に前記空隙が形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【概要】

半導体装置に関し、

ホットキャリアが発生するような強電界が集中する領域においても、ホットキャリアによる素子の特性及び信頼性の低下を防止することができる半導体装置を提供することを目的とし、

半導体基板と、前記半導体基板上に設けられ、前記半導体基板の強電界が集中する領域上に空隙を形成する絶縁層とを有し、前記空隙により、前記強電界が集中する領域に発生したホットキャリアが前記絶縁層中に注入、捕獲されることを防止するように構成する。

【産業上の利用分野】

本発明は半導体装置及びその製造方法に関する。

近年の半導体集積回路の集積度の向上による素子の微細化に伴い、素子内における局所的な電界の集中が顕著になってきた。その結果、強電界の集中する領域でホットキャリアが発生し、素子の信頼性を低下させるという問題が起きている。そこで、ホットキャリアによる素子の信頼性低下をいかに防止するかが大きな課題となっている。

【従来の技術】

従来の半導体装置における例えばホットエレクトロンの発生を説明する。

従来のMOS型トランジスタでは、電界集中の緩和及びホットエレクトロンによる素子特性の劣化を防止するため、第16図(a)に示されるように、LDD (Lightly Doped Drain-source) 構造が用いられている。

即ち、フィールド酸化膜22によって素子分離されている能動素子領域のp型シリコン基板21表面には、n⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との二重構

造からなるn型ソース、ドレイン領域25が形成され、LDD構造をなしている。これらn型ソース、ドレイン領域25のn⁻型低濃度不純物領域23に挟まれたチャネル領域26上には、ゲート酸化膜27を介して、ゲート電極28が設けられている。

また、このゲート電極28側壁にはサイドウォール層29が形成されている。更に、全面には絶縁層31が堆積されており、この絶縁層31に開口したコンタクト窓を介して、n型ソース、ドレイン領域25のn⁺型高濃度不純物領域24上にソース、ドレイン電極32が形成されている。

このように、n型ソース、ドレイン領域25がn⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との二重構造となっているため、特にドレイン領域近傍における強電界の集中が緩和され、ホットエレクトロンの発生を抑制している。

【発明が解決しようとする課題】

しかし、半導体素子の微細化に伴い、上記従来のLDD構造のMOS型トランジスタにおいても電界集中の緩和が充分ではなくなり、その改善が必要となっている。

即ち、従来のLDD構造のMOS型トランジスタにおいては、その動作時に、ゲート電極28に印加されたゲート電界により、チャネル領域26表面に電流の通り道であるチャネル64が形成され、n型ソース、ドレイン領域25間に電流が流れるようになる。

ところが、特にドレイン領域近傍には大きな電界が集中するため、この部分ではキャリア、例えば電子が大きく加速される。そしてその運動エネルギーが $1/2KT$ (Kはボルツマン定数、Tは絶対温度を示す。)を越える運動エネルギーをもつようになると、いわゆるホットエレクトロンとなる。素子の微細化に伴うチャネル長の短縮化により、キャリアのチャネル領域における衝突の確率は小さくなるため、それだけ電子が加速されてホットエレクトロンの発生確率が大きくなる。

こうして発生したホットエレクトロンは、ドレイン近傍での半導体原子との衝突による進路の変更と、ゲート電極28からのクーロン力の作用によって、第16図(b)に示されるように、LDD構造のゲート電極28側壁のサイドウォール層29内部に注入されるようになる。

このようにしてサイドウォール層29底面に注入されてトラップされた電荷量が次第に増加してくると、n⁻型低濃度不純物領域23表面をp形反転させ、チャネル電流の流れを阻害するようになる。このようなメカニズムにより、MOS型トランジスタの特性及び信頼性が低下することになる。

また、バイポーラ型トランジスタにおいても、ベースとエミッタの接する界面付近において、MOS型トランジスタの場合と類似したメカニズムによって、素子の劣化が発生する。

例えばベース抵抗を小さくし、コレクターベース間容量等の寄生容量を小さくするセルフアライン (Self-al

ign) 構造のバイポーラ型トランジスタを用いて説明する。

第17図(a)はこのバイポーラ型トランジスタを示す断面図、第17図(b)はその一部拡大図である。

p型シリコン基板41上にn⁺型コレクタ埋込み層42が埋め込まれ、このn⁺型コレクタ埋込み層42上にn⁻型コレクター領域43及びn⁺型コレクタコンタクト領域45がフィールド酸化膜44によって分離して形成され、n⁻型コレクタ領域43表面にはp⁺型外部ベース領域46及びp⁻型内部ベース領域47が形成され、p⁻型内部ベース領域47表面にはn⁺型エミッタ領域48が形成されている。そしてp⁺型外部ベース領域46上及びn⁺型エミッタ領域48上には、それぞれp型及びn型の不純物がドーパされたポリシリコン層からなるベース引出し電極49及びエミッタ引出し電極50が形成されている。

また、全面を覆う絶縁層51に開口したコンタクト窓を介して、n⁺型コレクタコンタクト領域45上、ベース引出し電極49上及びエミッタ引出し電極50上には、それぞれAlからなるコレクタ電極52、ベース電極53及びエミッタ電極54が形成されている。

いま、ベース電極53とエミッタ電極54との間に逆バイアスが印加されると、p⁻型内部ベース領域47とn⁺型エミッタ領域48との接合部分に空乏層が形成される。このとき、セルフアライン構造の特徴からp⁺型外部ベース領域46とn⁺型エミッタ領域48とに挟まれたp⁻型内部ベース領域47の長さが短いため、形成される空乏層の幅は比較的狭い。従って、ベース-エミッタ間に高電界が印加されると、空乏層内で対発生したキャリアがこの高電界によって加速されてホットキャリアとなる。そしてその一部はp⁻型内部ベース領域47上の絶縁層51中に注入され、トラップされる。例えば正孔が絶縁層51中にトラップされるとp⁻型内部ベース領域47表面がn形反転し、ベース抵抗が高くなり、ひいては表面の空間電荷領域における再結合が増加し、電流増幅率h_{FE}を低下させてしまう。

このようにしてバイポーラ型トランジスタにおいても、MOS型トランジスタと同様にホットキャリアの発生による素子特性の劣化が生じる。

そこで本発明は、ホットキャリアが発生するような強電界が集中する領域においても、ホットキャリアによる素子の特性及び信頼性の低下を防止することができる半導体装置及びその製造方法を提供することを目的とする。

[課題を解決するための手段]

第1図及び第2図は、それぞれ本発明の原理説明図である。

第1図において、半導体基板11表面に、局所的な強電界が集中する領域12が形成されている。このような強電界の集中は、例えば強い逆バイアスが印加されたpn接合に形成される空乏層内等が発生する。そして半導体基板11上には絶縁層13が設けられているが、この半導体基板

11の強電界が集中する領域12表面と絶縁層13底面との間には空隙14が形成されている。

このように本発明は半導体基板11の強電界が集中する領域12上に空隙14が形成されている点に特徴がある。

次に、動作を説明する。

いま、強電界が集中する領域12内に注入されてきたキャリア又は強電界が集中する領域12内において対発生したキャリアは、この強電界によって加速されて大きな運動エネルギーをもつホットキャリアとなる。そしてこのホットキャリアは強電界が集中する領域12内の半導体原子と衝突して進路を変更する。このとき、例えば半導体基板11上方からクーロン力の作用が加わったりすると、一定方向への例えば上方への進路変更の確率は特に高くなる。

しかし、この強電界が集中する領域12上には空隙14が形成されているため、強電界が集中する領域12からホットキャリアが飛び出し、空隙14を突き抜けて絶縁層13に注入されることはない。即ち、強電界が集中する領域12上に、ホットキャリアをトラップする絶縁層13が存在しないため、ホットキャリアが発生しても電荷の蓄積が生ぜず、従って特性や信頼性を低下させることもない。

また、第2図においては、半導体基板11上に絶縁層13が設けられ、半導体基板11の強電界が集中する領域12表面と絶縁層13底面との間に空隙14が形成されているのは上記第1図と同じであるが、この型劇14内の強電界が集中する領域12上に絶縁薄膜15が形成されている。

このように本発明は強電界が集中する領域12上に絶縁薄膜15を介して空隙14が形成されていてもよい。

次に、動作を説明する。

強電界が集中する領域12上に絶縁薄膜15が形成されているため、強電界によって発生したホットキャリアの一部は絶縁薄膜15中に蓄積される。しかし絶縁薄膜15はその膜厚が極めて薄くかつその上方が空隙14となっているため、絶縁薄膜15に蓄積される電荷量を極めて小さく抑制することができ、また一定量の電荷が蓄積されるとそれ以上の電荷の蓄積は生じない。

従って、この蓄積電荷量を所定の値以下に抑制することにより、特性及び信頼性を低下させることが可能となる。

また、半導体基板11の強電界が集中する領域12表面を真空又は空気に晒すことが望ましくない場合は、絶縁薄膜15の存在によってその表面が保護される。

[作用]

本発明は、局所的に強電界が集中する領域12上に、空隙14を設けるか又は絶縁薄膜15を介して空隙14を設けることにより、強電界が集中する領域12に発生するホットキャリアが注入されトラップされる絶縁層自体が存在しないため、ホットキャリアが絶縁層中に累積的に蓄積されることはなくなる。

これにより、強電界が集中する領域において発生する

ホットキャリアに起因する半導体装置の特性及び信頼性の劣化を防止することができる。

[実施例]

以下、本発明を図示する実施例に基づいて具体的に説明する。

(1) 第1の実施例

第3図(a)は本発明の第1の実施例によるMOS型トランジスタを示す断面図、第3図(b)はその一部拡大図である。

p型シリコン基板21表面は、フィールド酸化膜22によって素子分離されている。そしてその能動素子領域のp型シリコン基板21表面には、n⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との二重構造からなるn型ソース、ドレイン領域25が形成され、LDD構造をなしている。これらn型ソース、ドレイン領域25のn⁻型低濃度不純物領域23に挟まれたチャネル領域26上には、ゲート酸化膜27を介して、ゲート電極28が設けられている。

また、このゲート電極28側壁にはサイドウォール層29が形成されている。そしてこのサイドウォール層29下部には、空隙30が形成されている点に、本実施例の特徴がある。従って、n型ソース、ドレイン領域25のn⁻型低濃度不純物領域23上は空隙30となっていて、サイドウォール層29は存在していない。

更に、全面に絶縁層31が堆積されていて、この空隙30の口を塞いでいる。そしてこの絶縁層31に開口したコンタクト窓を介して、n型ソース、ドレイン領域25のn⁺型高濃度不純物領域24上にソース、ドレイン電極32が形成されている。

このように第1の実施例によれば、n型ソース、ドレイン領域25のn⁻型低濃度不純物領域23表面とサイドウォール層29底面との間に空隙30が形成されているため、強電界集中によって発生したホットエレクトロンが半導体原子と衝突して進路を変更しても、ゲート電極28からのクーロン力の作用を受けても、n⁻型低濃度不純物領域23表面から飛び出し空隙14を突き抜けてサイドウォール層29に注入されトラップされることはない。

また、仮に空隙30を抜けてサイドウォール層29に一部のホットエレクトロンがトラップされたとしてもトラップされた電荷は空隙30の距離離れたサイドウォール層29の中にしか存在できないので、トラップ電荷は空隙14の分だけ離れたところからしか基板にクーロン力の作用を及ぼせない。従ってその影響は格段に小さくなる。

従って、素子の微細化に伴うチャネル長の短縮化によりホットエレクトロンの発生確率が大きくなっても、サイドウォール層29底面に注入されトラップされた電荷量によってn⁻型低濃度不純物領域23表面がp形反転してLDD構造のMOS型トランジスタの特性及び信頼性が低下することを防止することができる。

次に、第3図に示すMOS型トランジスタの第1の実施例による製造方法を、第4図を用いて説明する。

p型シリコン基板21の能動素子領域に積層した厚さ200Åのパッド酸化膜と厚さ1000ÅのCVD窒化膜とをマスクとして、全面を温度900°Cでウエット酸化して、厚さ約5000Åのフィールド酸化膜22を形成する。続いて、燐酸ボイル及びHF（フッ酸）によってCVD窒化膜及びパッド酸化膜をそれぞれ除去した後、フィールド酸化膜22によって分離した能動素子領域のp型シリコン基板21上に、HCl（塩酸）酸化によって厚さ50~300Åのゲート酸化膜27を形成する（第4図(a)参照）。

次いで、全面に厚さ4000Åのポリシリコン層28aを堆積した後（第4図(b)参照）、p型或いはn型不純物を拡散して導電性をもたせるこのポリシリコン層28aを所定の形状にパターニングしてゲート電極28を形成する（第4図(c)参照）。続いて、フィールド酸化膜22及びゲート電極28をマスクとして、加速電圧60keV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ の条件でAs（ヒ素）⁺イオンを注入する。これによりp型シリコン基板21表面にn⁻型低濃度不純物領域23を形成する（第4図(d)参照）。

次いで、厚さ500~1000ÅのCVD窒化膜及び厚さ2000~3000ÅのCVD酸化膜を順に成長させた後、異方性エッチングを行ない、ゲート電極28側壁及びこのゲート電極28近傍のゲート酸化膜27上にCVD窒化膜33を残存させ、またこのCVD窒化膜33上にCVD酸化膜からなるサイドウォール層34を形成する。

続いて、フィールド酸化膜22、ゲート電極28、CVD窒化膜33及びサイドウォール層34をマスクとして、加速電圧60keV、ドーズ量 $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ の条件でAs⁺イオンを注入し、p型シリコン基板21表面にn⁺型高濃度不純物領域24を形成する。

こうしてp型シリコン基板21表面にはn⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との2重構造からなるn型ソース、ドレイン領域25が形成される。また、これらn型ソース、ドレイン領域25に挟まれたチャネル領域26が形成される（第4図(e)参照）。

次いで、燐酸を用いたコントロールエッチングにより、シリコン酸化膜からなるサイドウォール層34及びゲート酸化膜27とのエッチング速度の差を利用して、CVD窒化膜33のみを選択的に除去し、サイドウォール層34とゲート酸化膜27との間に隙間を形成する。このとき、CVD窒化膜33のエッチングがゲート電極28にまで達してゲート電極28側壁が露出しないように制御する。なお、このときサイドウォール層34上部におけるゲート電極28との間のCVD窒化膜33も同様にエッチングされ、ここにも隙間が形成される。

続いて、HFを用いたコントロールエッチングにより、残存するCVD窒化膜33とのエッチング速度の差を利用して、サイドウォール層34下のゲート酸化膜27を除去する。このときも、ゲート酸化膜27のエッチングがゲート電極28にまで達してゲート電極28側壁が露出しないように制御する。こうしてサイドウォール層34底面とn⁻型低

濃度不純物領域23表面との間に隙間30aを形成する。

(第4図(f)参照)。

次いで、全面にCVD酸化膜からなる厚さ約3000Åの絶縁層31を堆積する。このとき、真空度を適度に下げて原子の平均自由行程を短くすることにより、隙間30a内部まで絶縁層31が回り込まないように制御する。こうして、絶縁層31により隙間30aの口を塞ぎ、 n^- 型低濃度不純物領域23上に空隙30を形成する。

なお、同様にして、サイドウォール層34上部におけるゲート電極28との間にも空隙が形成されるが、絶縁層31によって覆われているため、素子特性に悪影響を及ぼすことはない。

続いて、 n^+ 型高濃度不純物領域24上の絶縁層31に開口部を形成した後、この開口部を介して n^+ 型高濃度不純物領域24上にAl(アルミニウム)からなるソース、ドレイン電極32を形成する(第4図(g)参照)。

このようにして、 n^- 型低濃度不純物領域23上に空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

次に、第3図に示されるMOS型トランジスタの第2の実施例による製造方法を、第5図を用いて説明する。

上記第4図(a)～(d)の工程と同様にして、 p 型シリコン基板21上にゲート酸化膜27を介してゲート電極28を形成した後、ゲート電極28をマスクとするイオン注入により p 型シリコン基板21表面に n^- 型低濃度不純物領域23を形成する(第5図(a)参照)。

次いで、ゲート電極28をマスクとしてゲート酸化膜27をエッチング除去した後、全面に厚さ100～300ÅのCVD窒化膜を堆積する。そして異方性エッチングを行ない、ゲート電極28及びゲート電極28下のゲート酸化膜27側壁にCVD窒化膜からなる薄いサイドウォール層35を形成する(第5図(b)参照)。

続いて、露出した n^- 型低濃度不純物領域23表面及びゲート電極28上面を選択的に熱酸化して、厚さ100～300Åのシリコン酸化膜36を形成する(第5図(c)参照)。

次いで、全面に厚さ2000～3000ÅのCVD窒化膜を堆積した後、異方性エッチングにより、ゲート電極28側壁にサイドウォール層35を介してCVD窒化膜からなるサイドウォール層37を形成する。続いて、ゲート電極28、サイドウォール層35、37及びフィールド酸化膜22をマスクとするイオン注入により、 p 型シリコン基板21表面に n^+ 型高濃度不純物領域24を形成する。こうして、 n^- 型低濃度不純物領域23と n^+ 型高濃度不純物領域24とからなる n 型ソース、ドレイン領域25を形成し、これら n 型ソース、ドレイン領域25に挟まれたチャネル領域26を形成する(第5図(d)参照)。

次いで、HFを用いCVD窒化膜からなるサイドウォール層37とのエッチング速度の差を利用して、シリコン酸化膜36を選択的にエッチング除去する。これによりサイドウォール層37と n^- 型低濃度不純物領域23との間に隙間30

aを形成する(第5図(e)参照)。

なお、このシリコン酸化膜36のエッチングにおいて、ゲート電極28側壁にはCVD窒化膜からなるサイドウォール層35が形成されているため、ゲート電極28側壁が露出しないよう制御するコントロールエッチングは必要でなくなり、上記第1の例よりもプロセスが容易になる。

次いで、上記第4図(g)の工程と同様にして、全面に絶縁層31を堆積して隙間30aの口を塞ぎ、 n^- 型低濃度不純物領域23上に空隙30を形成した後、 n^+ 型高濃度不純物領域24上にソース、ドレイン電極32を形成する(第5図(f)参照)。

このようにして、 n^- 型低濃度不純物領域23上に空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

次に、第3図に示されるMOS型トランジスタの第3の実施例による製造方法を、第6図を用いて説明する。

上記第4図(a)～(d)の工程と同様にして、 p 型シリコン基板21上にゲート酸化膜27を介してゲート電極28を形成した後、ゲート電極28をマスクとするイオン注入により p 型シリコン基板21表面に n^- 型低濃度不純物領域23を形成する(第6図(a)参照)。

次いで、全面に厚さ2000～3000ÅのCVD窒化膜を堆積した後、異方性エッチングにより、ゲート電極28側壁にCVD窒化膜からなるサイドウォール層37を形成する。続いて、ゲート電極28及びサイドウォール層38をマスクとするイオン注入を行ない、 p 型シリコン基板21表面に n^+ 型高濃度不純物領域24を形成することにより、 n^- 型低濃度不純物領域23と n^+ 型高濃度不純物領域24とからなる n 型ソース、ドレイン領域25及びこれら n 型ソース、ドレイン領域25に挟まれたチャネル領域26を形成する(第6図(d)参照)。

次いで、HFを用いたコントロールエッチングにより、CVD窒化膜からなるサイドウォール層37とのエッチング速度の差を利用して、サイドウォール層38下のゲート酸化膜27を除去する。このとき、ゲート酸化膜27のエッチングがゲート電極28にまで達してゲート電極28下面が露出しないように制御する。こうしてサイドウォール層38底面と n^- 型低濃度不純物領域23表面との間に隙間30aを形成する(第6図(c)参照)。

次いで、上記第4図(g)の工程と同様にして、全面に絶縁層31を堆積して隙間30aの口を塞ぎ、 n^- 型低濃度不純物領域23上に空隙30を形成した後、 n^+ 型高濃度不純物領域24上にソース、ドレイン電極32を形成する(第6図(d)参照)。

このようにして、 n^- 型低濃度不純物領域23上に空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

(2) 第2の実施例

次に、本発明の第2の実施例によるMOS型トランジスタを説明する。

第7図(a)は第2の実施例によるMOS型トランジスタを示す断面図、第7図(b)はその一部拡大図である。

第2の実施例は、上記第3図に示すMOS型トランジスタとほぼ同様の構造をなしている。即ち、p型シリコン基板21表面にはn⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との二重構造からなるn型ソース、ドレイン領域25が形成されてLDD構造をなし、これらn⁻型低濃度不純物領域23に挟まれたチャネル領域26上には、ゲート酸化膜27を介して、ゲート電極28が設けられている。そしてゲート電極28側壁にはサイドウォール層29が形成され、このサイドウォール層29下部には空隙30が形成されている。

但し、第2の実施例は、この空隙30内のn⁻型低濃度不純物領域23上に絶縁薄膜39が形成されている点に特徴がある。従って、n型ソース、ドレイン領域25のn⁻型低濃度不純物領域23上は、絶縁薄膜39を介して空隙30が形成されている。

このように第2の実施例によれば、n型ソース、ドレイン領域25のn⁻型低濃度不純物領域23上は、絶縁薄膜39を介して空隙30が形成されているため、強電界によって発生したホットエレクトロンの一部は絶縁薄膜39中に蓄積されるが、この絶縁薄膜39はその膜厚が極めて薄くかつその上方が空隙30となっていることにより、絶縁薄膜39に蓄積される電荷量を極めて小さく抑制することができる。

従って、この蓄積電荷量を所定の値以下に抑制することにより、上記第1の実施例とほぼ同様にして、素子の特性及び信頼性の劣化を防止することができる。

また、この絶縁薄膜39はn⁻型低濃度不純物領域23表面が真空又は空気に晒されることを防止するため、このような表面保護の点においては、上記第1の実施例よりも望ましい。

次に、第7図に示されるMOSトランジスタの第1の実施例による製造方法を、第8図を用いて説明する。

上記第4図の(a)～(e)の工程と同様にして、p型シリコン基板21上にゲート酸化膜27を介して形成したゲート電極28をマスクとするイオン注入によりp型シリコン基板21表面にn⁻型低濃度不純物領域23を形成し、ゲート電極28側壁及びこのゲート電極28近傍のゲート酸化膜27上にCVD窒化膜33を、またこのCVD窒化膜33上にCVD酸化膜からなるサイドウォール層34を形成した後、フィールド酸化膜22、ゲート電極28、CVD窒化膜33及びサイドウォール層34をマスクとするイオン注入により、p型シリコン基板21表面にn⁺型高濃度不純物領域24を形成してn⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24との2重構造からなるn型ソース、ドレイン領域25を形成する(第8図(a)参照)。

次いで、燐酸を用いたコントロールエッチングにより、CVD窒化膜33のみを選択的に除去し、サイドウォー

ル層34底面とゲート酸化膜27表面との間に隙間30aを形成する。このとき、CVD窒化膜33のエッチングがゲート電極28にまで達してゲート電極28側壁が露出しないように制御する(第8図(b)参照)。

次いで、上記第4図(g)の工程と同様にして、全面に絶縁層31を堆積して隙間30aの口を塞ぎ、サイドウォール層34とゲート酸化膜27との間に空隙30を形成した後、n⁺型高濃度不純物領域24上にソース、ドレイン電極32を形成する(第8図(c)参照)。

このようにして、n⁻型低濃度不純物領域23上にゲート酸化膜27を介して空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。即ち、この場合はゲート酸化膜27を絶縁薄膜として用いている。

次に、第7図に示されるMOSトランジスタの第2の実施例による製造方法を、第9図を用いて説明する。

上記第4図の(a)～(f)の工程と同様にして、燐酸を用いたコントロールエッチングにより、CVD窒化膜33のみを選択的に除去して、サイドウォール層34底面とゲート酸化膜27表面との間に隙間を形成するのに続き、HFを用いたコントロールエッチングにより、サイドウォール層34下のゲート酸化膜27をも除去して、サイドウォール層34底面とn⁻型低濃度不純物領域23表面との間に隙間30aを形成する(第9図(a)参照)。

次いで、露出したn⁻型低濃度不純物領域23及びn⁺型高濃度不純物領域24表面並びにゲート電極28上面を選択的に熱酸化して、n⁻型低濃度不純物領域23上には厚さ50～300Åの熱酸化膜からなる絶縁薄膜40を形成する。従って、隙間30aはサイドウォール層34とn⁻型低濃度不純物領域23上の絶縁薄膜40との間になる(第9図(b)参照)。

なお、第9図(a)に示す工程において、CVD窒化膜33又はゲート酸化膜27のコントロールエッチングの際にエッチング量のバラツキによってゲート電極28側壁又は下面を露出させても、この熱酸化により、ゲート電極28側壁又は下面を絶縁薄膜40によって覆うことができる。従って、CVD窒化膜33及びゲート酸化膜27のエッチング工程は容易になる。

また、このときの熱酸化による酸化レートは、単結晶のn⁻型低濃度不純物領域23上よりも多結晶のゲート電極28上のほうが大きいため、サイドウォール層34上部におけるゲート電極28との間に形成される隙間は絶縁薄膜40によってほぼ埋め込まれてしまう。

次いで、上記第8図(c)の工程と同様にして、全面に絶縁層31を堆積して隙間30aの口を塞ぎ、サイドウォール層34と絶縁薄膜40との間に空隙30を形成した後、n⁺型高濃度不純物領域24上にソース、ドレイン電極32を形成する(第9図(c)参照)。

このようにして、n⁻型低濃度不純物領域23上に絶縁薄膜40を介して空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

次に、第7図に示されるMOSトランジスタの第3の実施例による製造方法を、第10図を用いて説明する。

上記第5図の(a)～(e)の工程と同様にして、p型シリコン基板21表面には、n⁻型低濃度不純物領域23とn⁺型高濃度不純物領域24とからなるn型ソース、ドレイン領域25を形成し、これらn型ソース、ドレイン領域25に挟まれたチャネル領域26上には、ゲート酸化膜27を介してゲート電極28を形成し、これらゲート電極28側壁及びゲート電極28下のゲート酸化膜27側壁には薄いサイドウォール層35を介してCVD窒化膜からなるサイドウォール層37を形成し、更にこのサイドウォール層34底面とn⁻型低濃度不純物領域23表面との間に隙間30aを形成する(第10図(a)参照)。

次いで、上記第9図の(b)～(c)の工程と同様にして、露出したn型ソース、ドレイン領域25表面及びゲート電極28上面を選択的に熱酸化して、n⁻型低濃度不純物領域23上には厚さ50～300Åの熱酸化膜からなる絶縁薄膜40を形成した後(第10図(b)参照)、全面に絶縁層31を堆積して隙間30aの口を塞ぎ、サイドウォール層37と絶縁薄膜40との間に空隙30を形成し、更にn⁺型高濃度不純物領域24上にソース、ドレイン電極32を形成する(第10図(c)参照)。

このようにして、n⁻型低濃度不純物領域23上に絶縁薄膜40を介して空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

次に、第7図に示されるMOSトランジスタの第4の例による製造方法を、第11図を用いて説明する。

上記第6図の(a)～(c)の工程と同様にして、p型シリコン基板21表面にn⁻型低濃度不純物領域23及びn⁺型高濃度不純物領域24からなるn型ソース、ドレイン領域25を形成し、これらn型ソース、ドレイン領域25に挟まれたチャネル領域26上にゲート酸化膜27を介してゲート電極28を形成し、これらゲート電極28側壁にCVD窒化膜からなるサイドウォール層38を形成し、そしてHFを用いたコントロールエッチングにより、サイドウォール層37下のゲート酸化膜27を選択的に除去して、サイドウォール層38底面とn⁻型低濃度不純物領域23表面との間に隙間30aを形成する(第11図(a)参照)。

次いで、上記第10図の(b)～(c)の工程と同様にして、n⁻型低濃度不純物領域23上に絶縁薄膜40を形成する(第11図(b)参照)。そして全面に絶縁層31を堆積させて隙間30aの口を塞ぎ、サイドウォール層38と絶縁薄膜40との間に空隙30を形成する(第11図(c)参照)。

このようにして、n⁻型低濃度不純物領域23上に、絶縁薄膜40を介して空隙30が形成されたLDD構造のMOS型トランジスタを製造することができる。

(3) 第3の実施例

次に、本発明の第3の実施例によるバイポーラ型トランジスタを説明する。

第12図(a)は第3の実施例によるバイポーラ型トランジスタを示す断面図、第12図(b)はその一部拡大図である。

p型シリコン基板41上にn⁺型コレクタ埋込み層42が埋め込まれ、このn⁺型コレクタ埋込み層42上にn⁻型コレクター領域43が形成されている。そしてn⁻型コレクター領域43はフィールド酸化膜44によって分離されている。またn⁺型コレクタ埋込み層42上にはn⁺型コレクタコンタクト領域45が設けられている。

そしてn⁻型コレクタ領域43表面には、周囲をp⁺型外部ベース領域46によって囲まれたp⁻型内部ベース領域47が形成され、p⁻型内部ベース領域47表面には、n⁺型エミッタ領域48が形成されている。p⁺型外部ベース領域46上には、p型不純物がドーパされたポリシリコン層からなるベース引出し電極49が形成され、またn⁺型エミッタ領域48上には、n型不純物がドーパされたポリシリコン層からなるエミッタ引出し電極50が形成されている。そしてこれらのベース引出し電極49及びエミッタ引出し電極50はそれぞれ絶縁層51によって分離絶縁されている。

更にn⁺型コレクタコンタクト領域45上、ベース引出し電極49上及びエミッタ引出し電極50上には、それぞれAlからなるコレクタ電極52、ベース電極53及びエミッタ電極54が形成されている。

そしてp⁻型内部ベース領域47表面と絶縁層51底面との間に空隙55が形成されている点に、本実施例の特徴がある。

このように第3の実施例によれば、p⁺型外部ベース領域46とn⁺型エミッタ領域48とに挟まれたp⁻型内部ベース領域47上に空隙55が形成されているため、ベース－エミッタ間に逆バイアスが印加され、p⁻型内部ベース領域47とn⁺型エミッタ領域48との接合部分に空乏層が形成され、この空乏層内で対発生したキャリアがこの高電界によって加速されてホットキャリアとなっても、p⁻型内部ベース領域47表面から飛び出して空隙55を介し絶縁層51中に注入され、トラップされることはない。

従って、セルフライン構造によってp⁻型内部ベース領域47の長さが短くなることにより、空乏層の幅が狭くなって高電界が集中されることになっても、例えば正孔が絶縁層51底部に蓄積されてp⁻型内部ベース領域47表面をn形反転させてベース抵抗の高抵抗化や電流増幅率h_{FE}の低下を招くことを防止することができる。

次に、その製造方法を、第13図を用いて説明する。

p型シリコン基板41上にAs或いはP(磷)を拡散して、n⁺型コレクタ埋込み層42を形成した後、n⁻型エピタキシャル層を約1μm成長させる。そして能動素子領域及びコレクタコンタクト形成予定領域上に形成した厚さ200Åのパッド酸化膜と厚さ1000ÅのCVD窒化膜をマスクとして、温度1000°Cの条件でウェット酸化を行ない、膜厚は6000Åのフィールド酸化膜44を形成する。このフィールド酸化膜44によって、n⁻型エピタキシャル層が分離

され、 n^- 型コレクタ領域43が形成される。

続いて、加速電圧70keV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ の条件で P^+ イオンを選択的に注入し、温度1100°C、30分のアニール処理を行ない、 n^+ 型コレクタコンタクト領域45を形成した後、燐酸ボイル及びHFエッチングにより、CVD窒化膜及びパッド酸化膜をそれぞれ除去する（第13図（a）参照）。

次いで、 p 型不純物をドーブした厚さ3000Åのポリシリコン層を全面に堆積した後、このポリシリコン層を所定の形状にパターンニングしてベース引出し電極49を形成する。続いて、全面に厚さ3000ÅのCVD窒化膜56を堆積する（第13図（b）参照）。

なお、ここではCVD窒化膜56を用いたが、表層が窒化膜であればよく、例えば厚さ2000ÅのCVD窒化膜と厚さ1000ÅのCVD窒化膜との積層構造であってもよい。

次いで、レジストマスクを用いて n^- 型コレクタ領域43上の所定の位置のCVD窒化膜56及びベース引出し電極49を異方性エッチングし、開口部57を形成する。そして熱酸化により n^- 型コレクタ領域43表面及びベース引出し電極49側壁の露出部分に厚さ100~1000Åのシリコン酸化膜58を形成する。

続いて、開口部57内の n^- 型コレクタ領域43表面の p^- 型内部ベース形成予定領域に、例えば加速電圧35keV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ の条件でB（硼素） $^{+}$ イオン59を注入する（第13図（c）参照）。

次いで、開口部57を拡大した第13図（d）に示されるように、全面に厚さ2000~3000ÅのCVD窒化膜を堆積した後、異方性エッチングを行ない、開口部57内のCVD窒化膜56及びシリコン酸化膜58側壁にCVD窒化膜からなるサイドウォール層60を形成する。

次いで、HFを用いたコントロールエッチングにより、CVD窒化膜56及びサイドウォール層60とのエッチング速度の差を利用して、サイドウォール層60下のシリコン酸化膜58を除去する。これにより、サイドウォール層60と n^- 型コレクタ領域43との間に隙間55aを形成する（第13図（e）参照）。

なお、このときシリコン酸化膜58のエッチングがベース引出し電極49側壁まで達しないように制御するが、エッチング量のバラツキによってベース引出し電極49側壁が露出したとしても素子特性に大きく影響することはない。

次いで、全面に厚さ300~1000ÅのCVD酸化膜を成長した後、異方性エッチングにより、サイドウォール層60側壁にCVD酸化膜からなるサイドウォール層61を形成する。このとき、CVD酸化膜の形成条件を制御することにより、CVD酸化膜が隙間55a内部に回り込まないようにする。これによってサイドウォール層61が隙間55aの口を塞ぐことになり、サイドウォール層60と n^- 型コレクタ領域43との間に空隙55を形成する（第13図（f）参照）。

次いで、全面に堆積させた厚さ1000Åのポリシリコン

層に、加速電圧60keV、ドーズ量 $1 \times 10^{16} \text{cm}^{-2}$ の条件で As^+ イオンを注入した後、このポリシリコン層を所定の形状にパターンニングして、開口部57を埋めるエミッタ引出し電極50を形成する。

続いて、例えば温度1150°C、20秒のアニール処理を行なう。これにより、ベース引出し電極49から p 型不純物を n^- 型コレクタ領域43表面に拡散して p^+ 型外部ベース領域46を形成し、イオン注入した B^+ イオンを活性化して p^- 型内部ベース領域47を形成し、更にエミッタ引出し電極50から As を拡散して n^+ 型エミッタ領域48を p^- 型内部ベース領域47表面に形成する。従って、空隙55の下は、 p^+ 型外部ベース領域46と n^+ 型エミッタ領域48とに挟まれた p^- 型内部ベース領域47表面となる（第13図（g）参照）。

次いで、 n^+ 型コレクタコンタクト領域45上及びベース引出し電極49上の所定の場所のCVD窒化膜56にコンタクト窓を開口した後、 n^+ 型コレクタコンタクト領域45上、ベース引出し電極49上及びエミッタ引出し電極50上に、それぞれAlからなるコレクタ電極52、ベース電極53、エミッタ電極54を形成する（第13図（h）参照）。

このようにして、 p^- 型内部ベース領域47表面と、CVD窒化膜56及びサイドウォール層60、61からなる絶縁層51底面との間に、空隙55が形成されたセルフアライン構造のバイポーラ型トランジスタを製造することができる。

（4）第4の実施例

次に、本発明の第4の実施例によるバイポーラ型トランジスタを説明する。

第14図（a）は第4の実施例によるバイポーラ型トランジスタを示す断面図、第14図（b）はその一部拡大図である。

第4の実施例は、上記第12図に示すバイポーラ型トランジスタとほぼ同様の構造をなしている。

即ち、 p 型シリコン基板41上に n^+ 型コレクタ埋込み層42が埋め込まれ、この n^+ 型コレクタ埋込み層42上に n^- 型コレクター領域43及び n^+ 型コレクタコンタクト領域45がフィールド酸化膜44によって分離して形成され、 n^- 型コレクタ領域43表面には p^+ 型外部ベース領域46及び p^- 型内部ベース領域47が形成され、 p^- 型内部ベース領域47表面には n^+ 型エミッタ領域48が形成されている。

また、全面を覆う絶縁層51aに開口したコンタクト窓を介して、 n^+ 型コレクタコンタクト領域45上及び p^+ 型外部ベース領域46と接続しているベース引出し電極49上には、それぞれAlからなるコレクタ電極52及びベース電極53が形成されている。そして p^- 型内部ベース領域47表面と絶縁層51a底面との間には空隙55が形成されている。

但し、第4の実施例は、 n^+ 型エミッタ領域48上には直接にAlからなるエミッタ電極62が形成され、このエミッタ電極62によって空隙55の一方の口が塞がれている点に特徴がある。

このように第4の実施例によれば、空隙55の周囲が絶縁層51aのみならず、その一部はAlからなるエミッタ電

極62という導電体であるが、本発明の本質に変わるところはない。従って、上記第3の実施例と全く同様な効果を奏することができる。

次に、その製造方法を、第15図を用いて説明する。

上記第13図(a)～(d)に示す工程と同様にして、 n^- 型コレクタ領域43上に、 p 型不純物をドーブしたベース引出し電極49及びCVD窒化膜56を積層した後、異方性エッチングにより開口部57を形成し、この開口部57内の n^- 型コレクタ領域43表面及びベース引出し電極49側壁の露出部分にシリコン酸化膜58を形成し、更に開口部57内の p^- 型内部ベース形成予定領域に B^+ イオン59を注入し、続いて開口部57内のCVD窒化膜56及びシリコン酸化膜58側壁にCVD窒化膜からなるサイドウォール層60を形成する(第15図(a)参照)。

次いで、CVD窒化膜56及びサイドウォール層60をマスクとして As^+ イオンのイオン注入を行なった後、アニール処理より、ベース引出し電極49から p 型不純物を n^- 型コレクタ領域43表面に拡散して p^+ 型外部ベース領域46を形成すると共に、注入した B^+ 及び As^+ イオンを活性化してそれぞれ p^- 型内部ベース領域47及び n^+ 型エミッタ領域48を形成する。

続いて、HFを用いたコントロールエッチングにより、サイドウォール層60下のシリコン酸化膜58を除去して、サイドウォール層60底面と p^- 型内部ベース領域47表面との間に隙間55aを形成する。また、図示はしないが、 n^+ 型コレクタコンタクト領域45及びベース引出し電極49上の所定の位置のCVD窒化膜56に開口部を設ける。そして全面にAl蒸着を行なってAl層63を形成する。このAl蒸着において、Al層63が隙間55a内部に回り込まないように制御することにより、隙間55aの口を塞ぎ、サイドウォール層60底面と p^- 型内部ベース領域47表面との間に空隙55を形成する(第15図(b)参照)。

このように空隙55は絶縁層によってその口を塞がれる場合だけでなく、Al層63のような導電性物質によって塞ぐこともできる。

次いで、Al層63を所定の形状にパターニングして、 n^+ 型コレクタコンタクト領域45上、ベース引出し電極49上及び開口部57内のエミッタ領域48上に、それぞれAlからなるコレクタ電極52、ベース電極53、エミッタ電極62を形成する(第15図(c)参照)。

このようにして、 n^+ 型エミッタ領域48と接する p^- 型内部ベース領域47表面と、CVD窒化膜56及びサイドウォール層60からなる絶縁層51a底面との間に、空隙55が形成されたセルフアライン構造のバイポーラ型トランジスタを製造することができる。

なお、上記第1乃至第4の実施例においては、シリコンを用いたMOS型及びバイポーラ型トランジスタの場合について説明してきたが、これらに限定されることなく、半導体基板表面で強電界の集中が生じるものであれば、例えば高電圧トランジスタ等やシリコン以外の化合

物半導体等を用いたものにも、本発明を広く適用することができる。

【発明の効果】

以上のように本発明によれば、半導体基板の局所的に強電界が集中する領域上に、空隙を設けるか又は絶縁薄膜を介して空隙を設けることにより、強電界が集中する領域に発生するホットキャリアが注入されトラップされる絶縁層自体が存在しないため、強電界が集中する領域上の絶縁層中にホットキャリアが累積的に蓄積されることはなくなる。

これにより、ホットキャリアが発生するような強電界が集中する領域においても、ホットキャリアの発生による素子の特性及び信頼性の低下を防止することができる。

【図面の簡単な説明】

第1図及び第2図は本発明の原理説明図、
第3図は本発明の第1の実施例によるMOS型トランジスタを示す断面図、

第4図は第3図に示すMOS型トランジスタの第1の例による製造方法を説明するための工程図、

第5図は第3図に示すMOS型トランジスタの第2の例による製造方法を説明するための工程図、

第6図は第3図に示すMOS型トランジスタの第3の例による製造方法を説明するための工程図、

第7図は本発明の第2の実施例によるMOS型トランジスタを示す断面図、

第8図は第7図に示すMOS型トランジスタの第1の例による製造方法を説明するための工程図、

第9図は第7図に示すMOS型トランジスタの第2の例による製造方法を説明するための工程図、

第10図は第7図に示すMOS型トランジスタの第3の例による製造方法を説明するための工程図、

第11図は第7図に示すMOS型トランジスタの第4の例による製造方法を説明するための工程図、

第12図は本発明の第3の実施例によるバイポーラ型トランジスタを示す断面図、

第13図は第12図に示すバイポーラ型トランジスタの製造方法を説明するための工程図、

第14図は本発明の第4の実施例によるバイポーラ型トランジスタを示す断面図、

第15図は第14図に示すバイポーラ型トランジスタの製造方法を説明するための工程図、

第16図は従来のMOS型トランジスタを示す断面図、

第17図は従来のバイポーラ型トランジスタを示す断面図である。

図において、

11……半導体基板、

12……強電界が集中する領域、

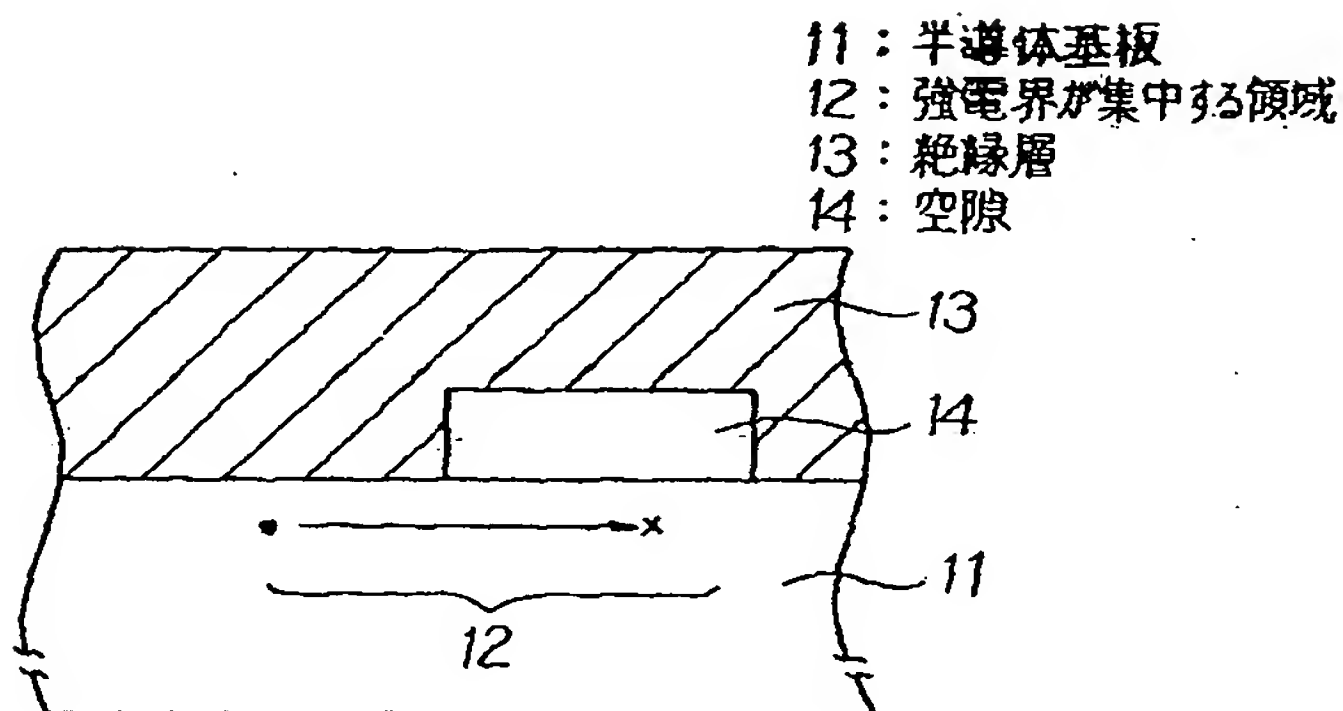
13、31、51、51a……絶縁層、

14、30、55……空隙、

15、39、40……絶縁薄膜、
 21、41……p型シリコン基板、
 22、44……フィールド酸化膜、
 23……n⁻型低濃度不純物領域、
 24……n⁺型高濃度不純物領域、
 25……n型ソース、ドレイン領域、
 26……チャネル領域、
 27……ゲート酸化膜、
 28……ゲート電極、
 28a……ポリシリコン層、
 29、34、35、37、38、60、61……サイドウォール層、
 30a、55a……隙間、
 32……ソース、ドレイン電極、
 33、56……CVD窒化膜、
 36、58……シリコン酸化膜、

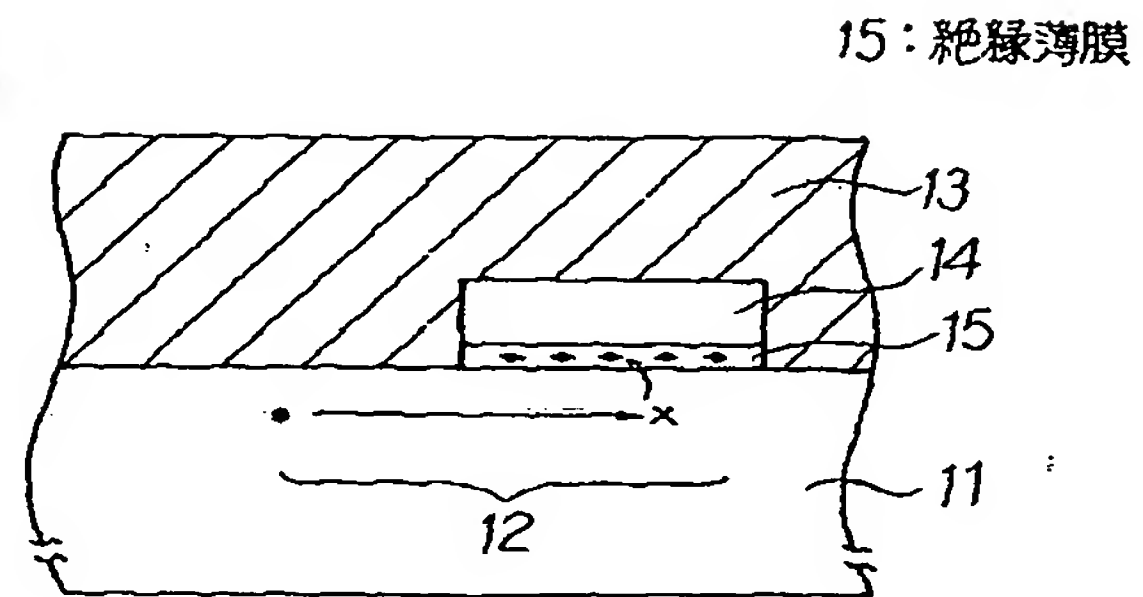
42……n⁺型コレクタ埋込み層、
 43……n⁻型コレクタ領域、
 45……n⁺型コレクタコンタクト領域、
 46……p⁺型外部ベース領域、
 47……p⁻型内部ベース領域、
 48……n⁺型エミッタ領域、
 49……ベース引出し電極、
 50……エミッタ引出し電極、
 52……コレクタ電極、
 53……ベース電極、
 54、62……エミッタ電極、
 57……開口部、
 59……B⁺イオン、
 63……Al層、
 64……チャネル。

【第1図】



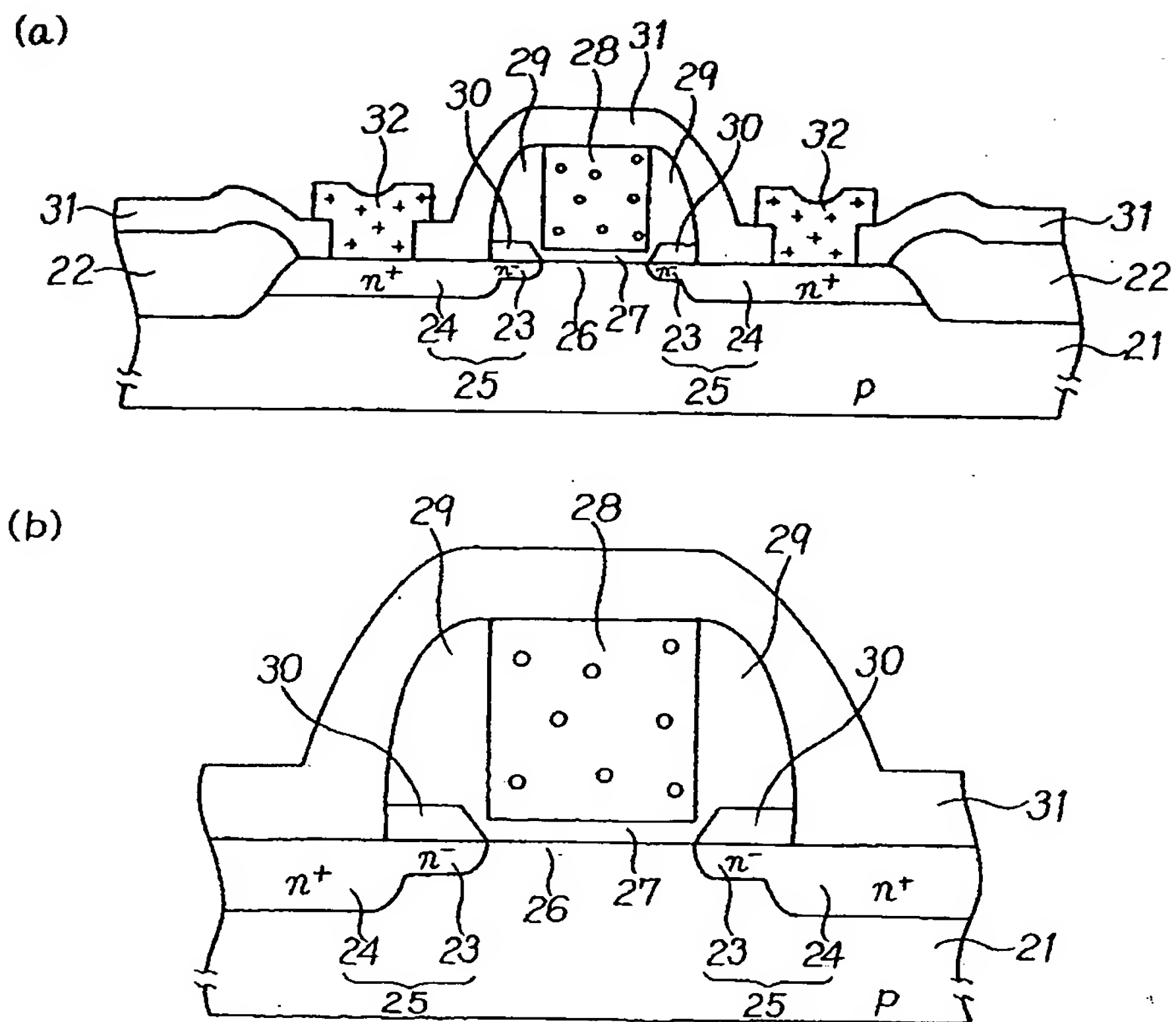
本発明の原理説明図

【第2図】



本発明の原理説明図

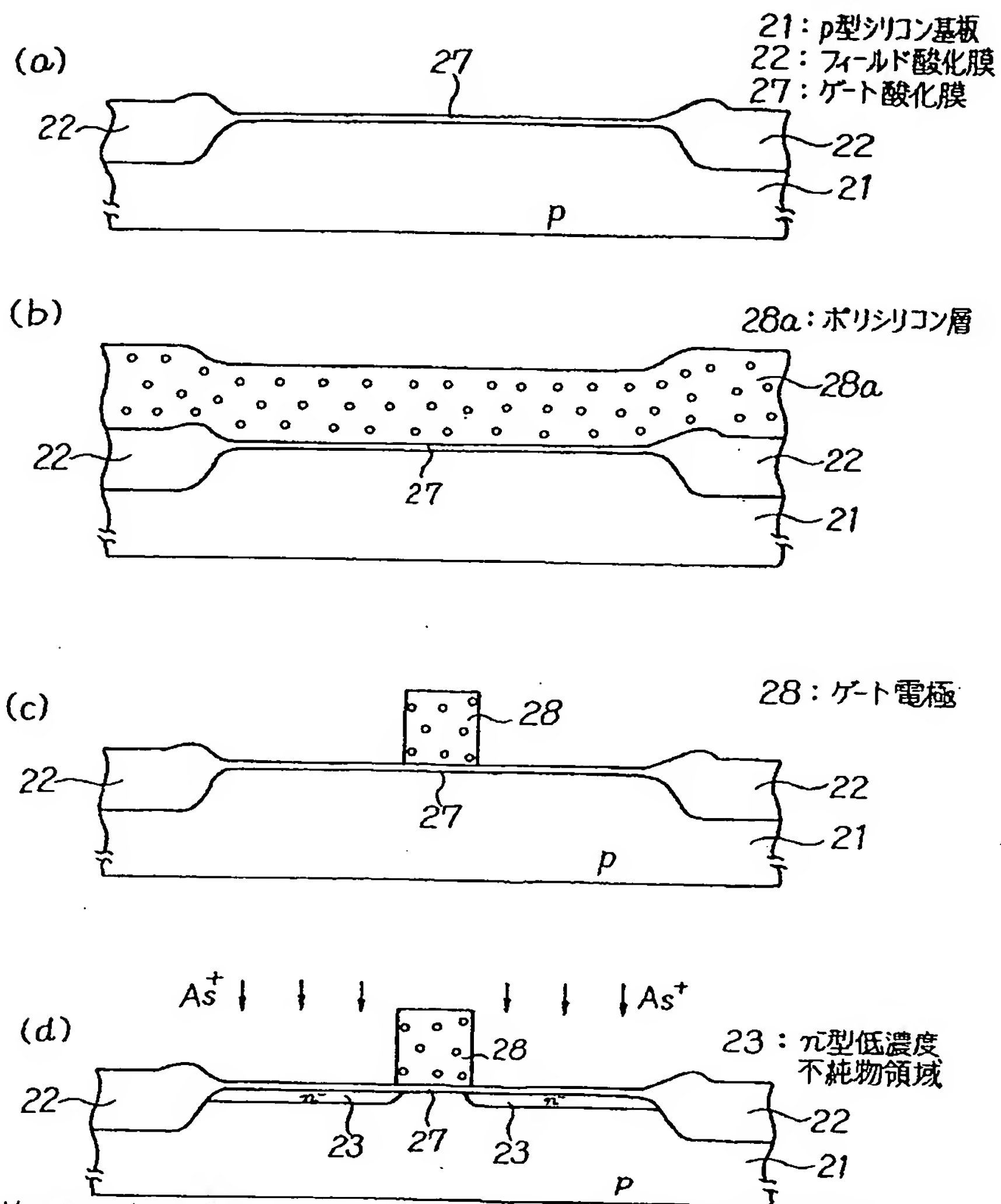
【第3図】



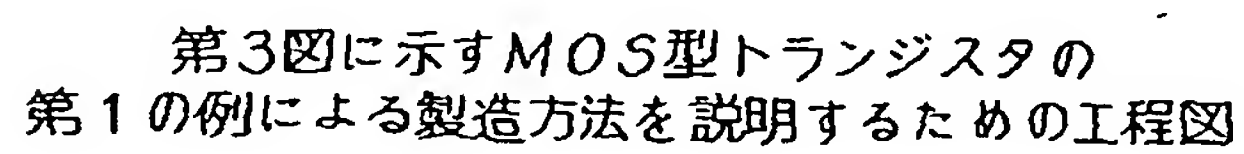
- | | |
|---------------------|----------------|
| 21: p型シリコン基板 | 27: ゲート酸化膜 |
| 22: フィールド酸化膜 | 28: ゲート電極 |
| 23: n^- 型低濃度不純物領域 | 29: サイドウォール層 |
| 24: n^+ 型高濃度不純物領域 | 30: 空隙 |
| 25: n型ソース、ドレイン領域 | 31: 絶縁層 |
| 26: チャネル領域 | 32: ソース、ドレイン電極 |

本発明の第1の実施例によるMOS型トランジスタを示す断面図

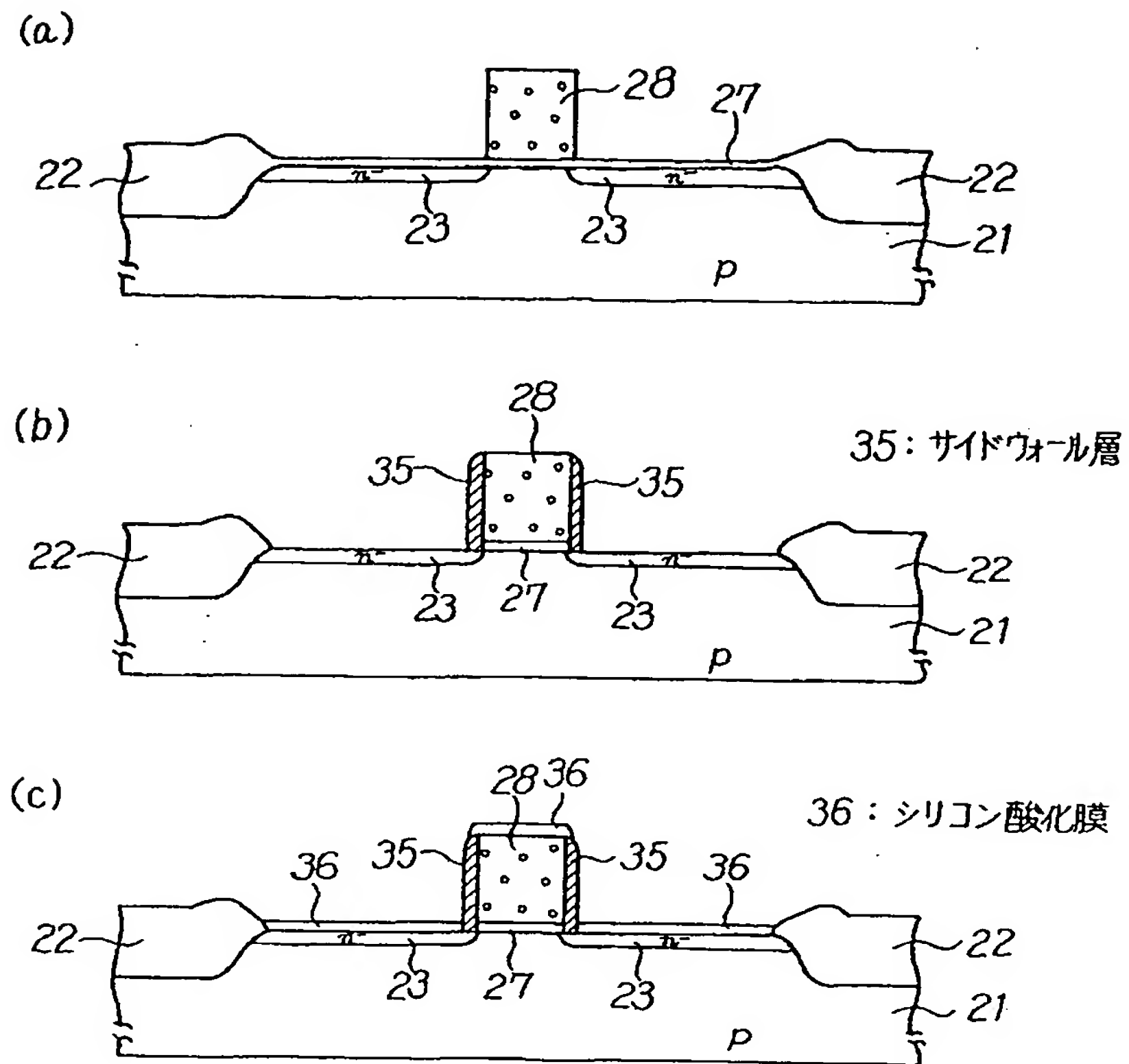
【第4図】



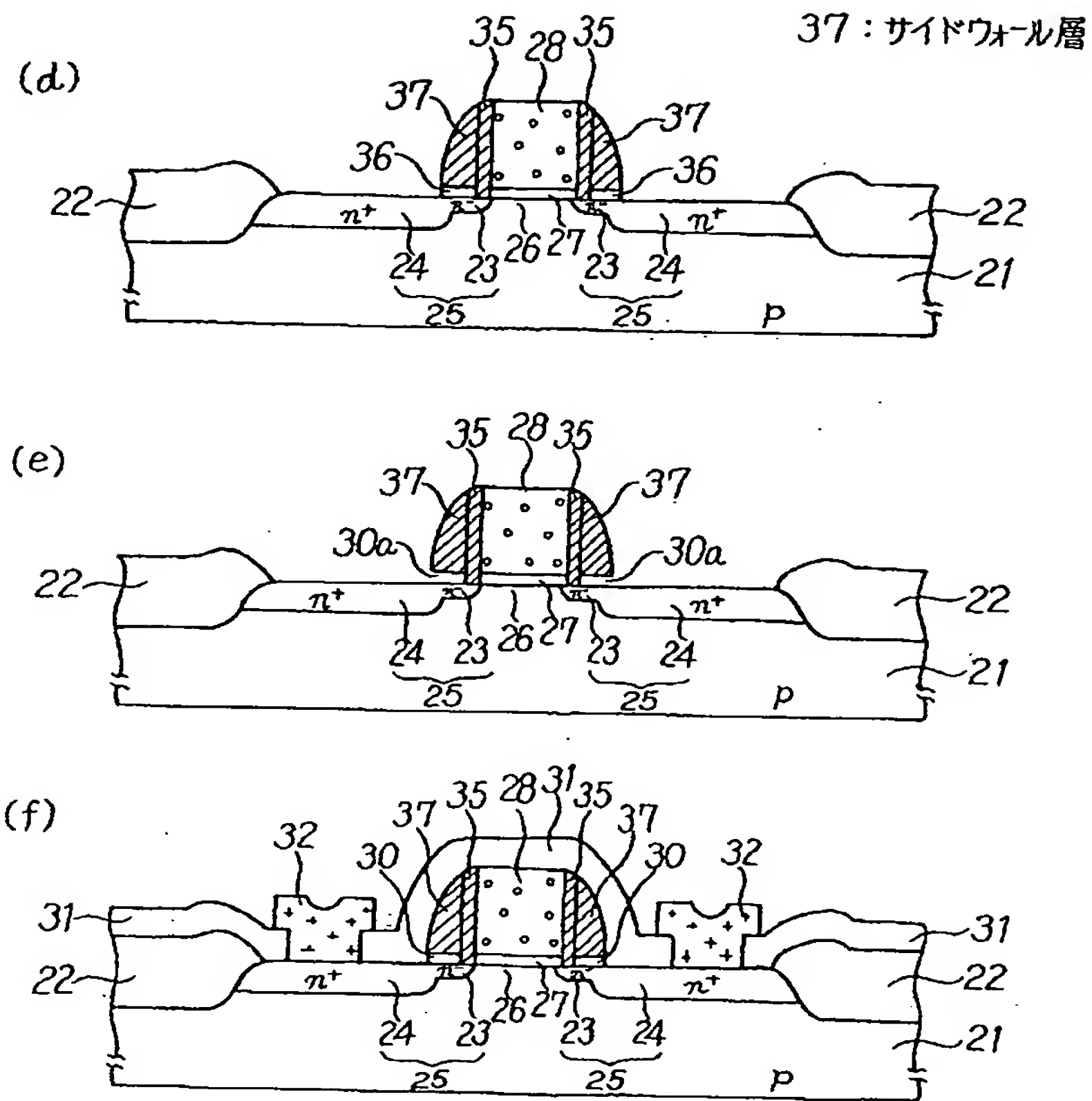
第3図に示すMOS型トランジスタの第1の例による製造方法を説明するための工程図



【第5図】

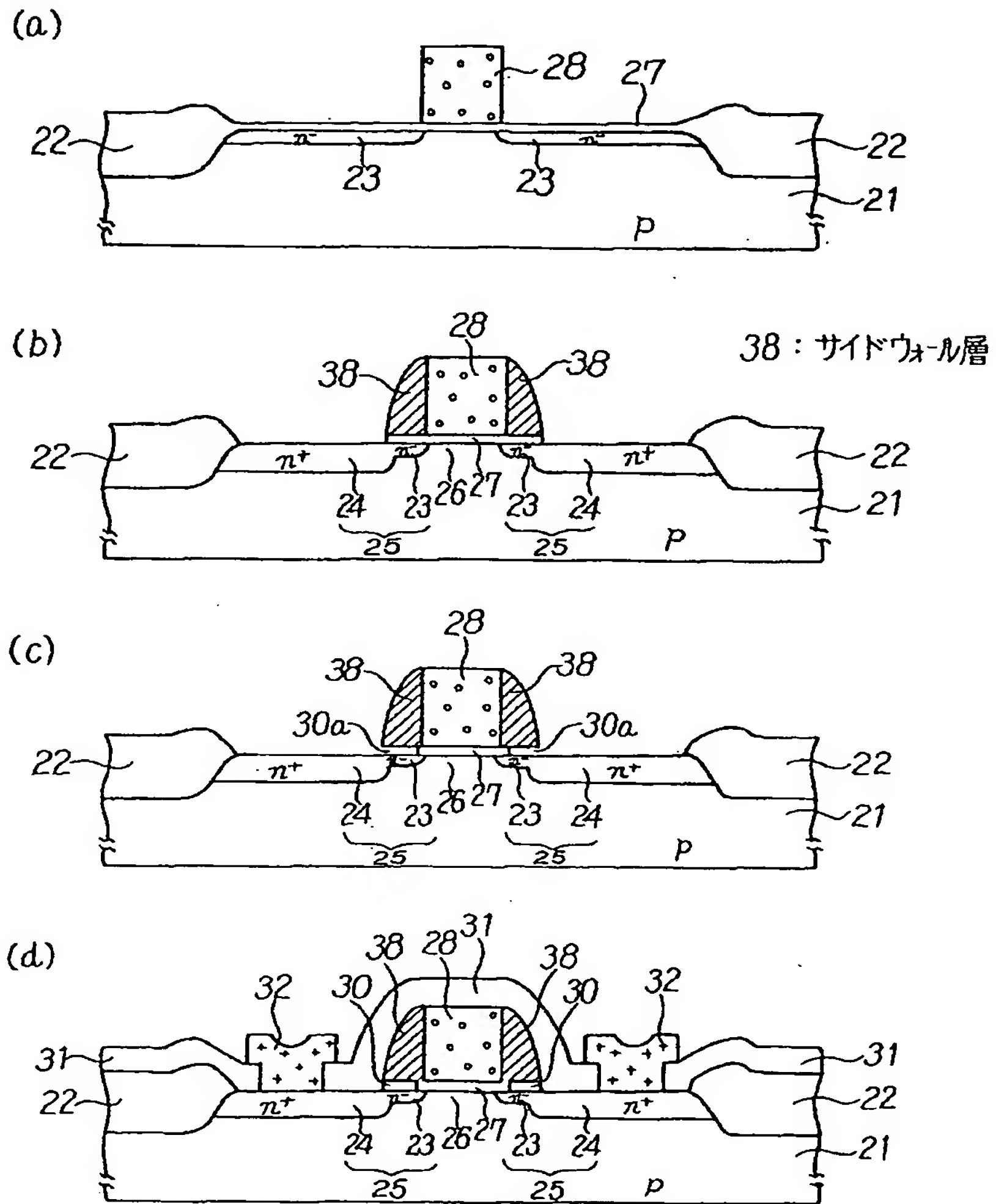


第3図に示すMOS型トランジスタの
第2の例による製造方法を説明するための工程図



第3図に示すMOS型トランジスタの
第2の例による製造方法を説明するための工程図

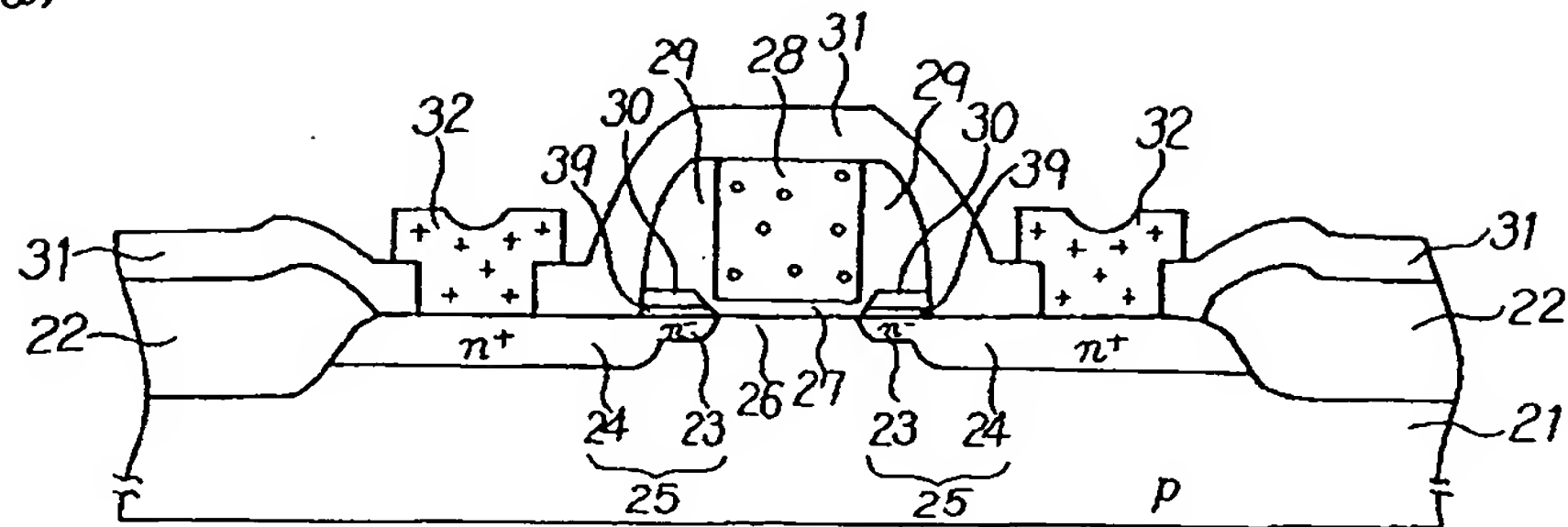
【第6図】



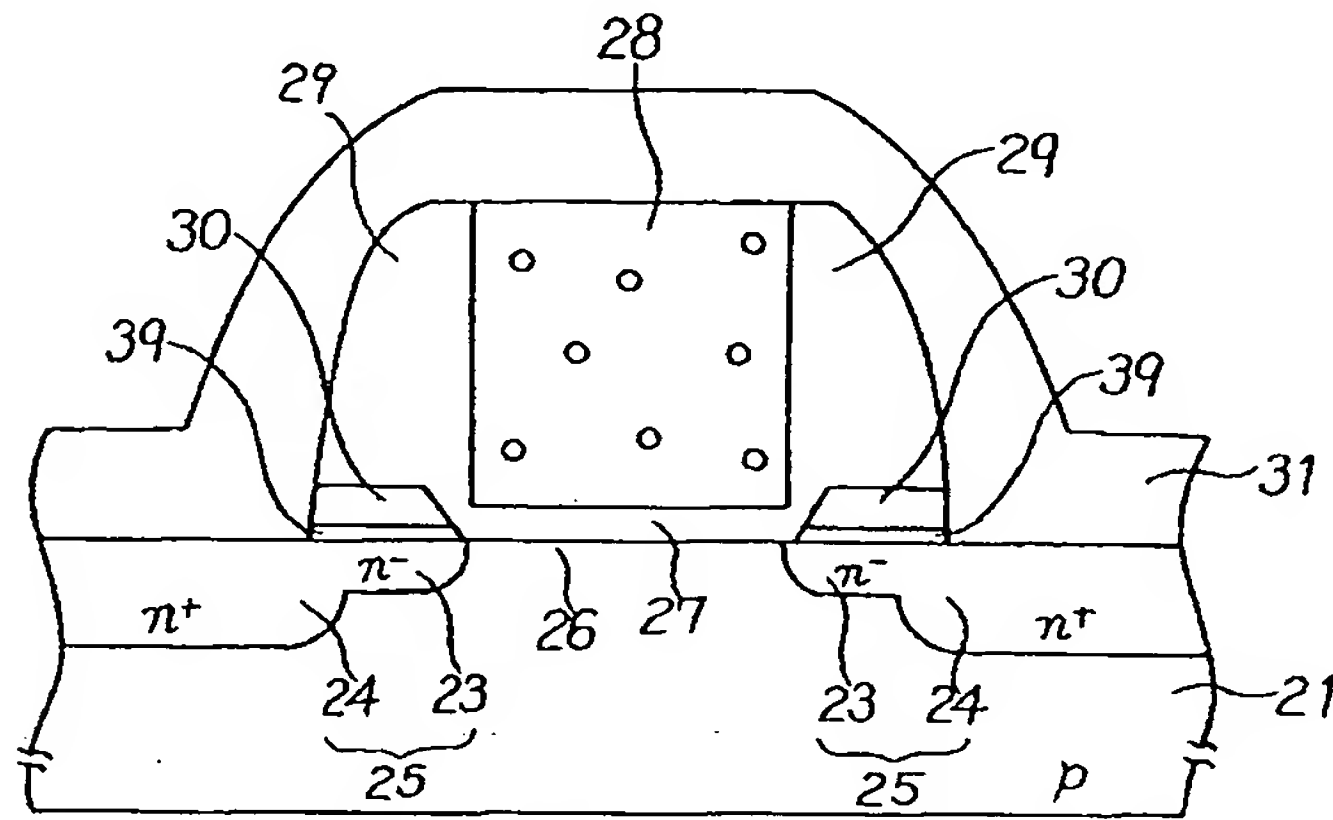
第3図に示すMOS型トランジスタの
第3の例による製造方法を説明するための工程図

【第7図】

(a)



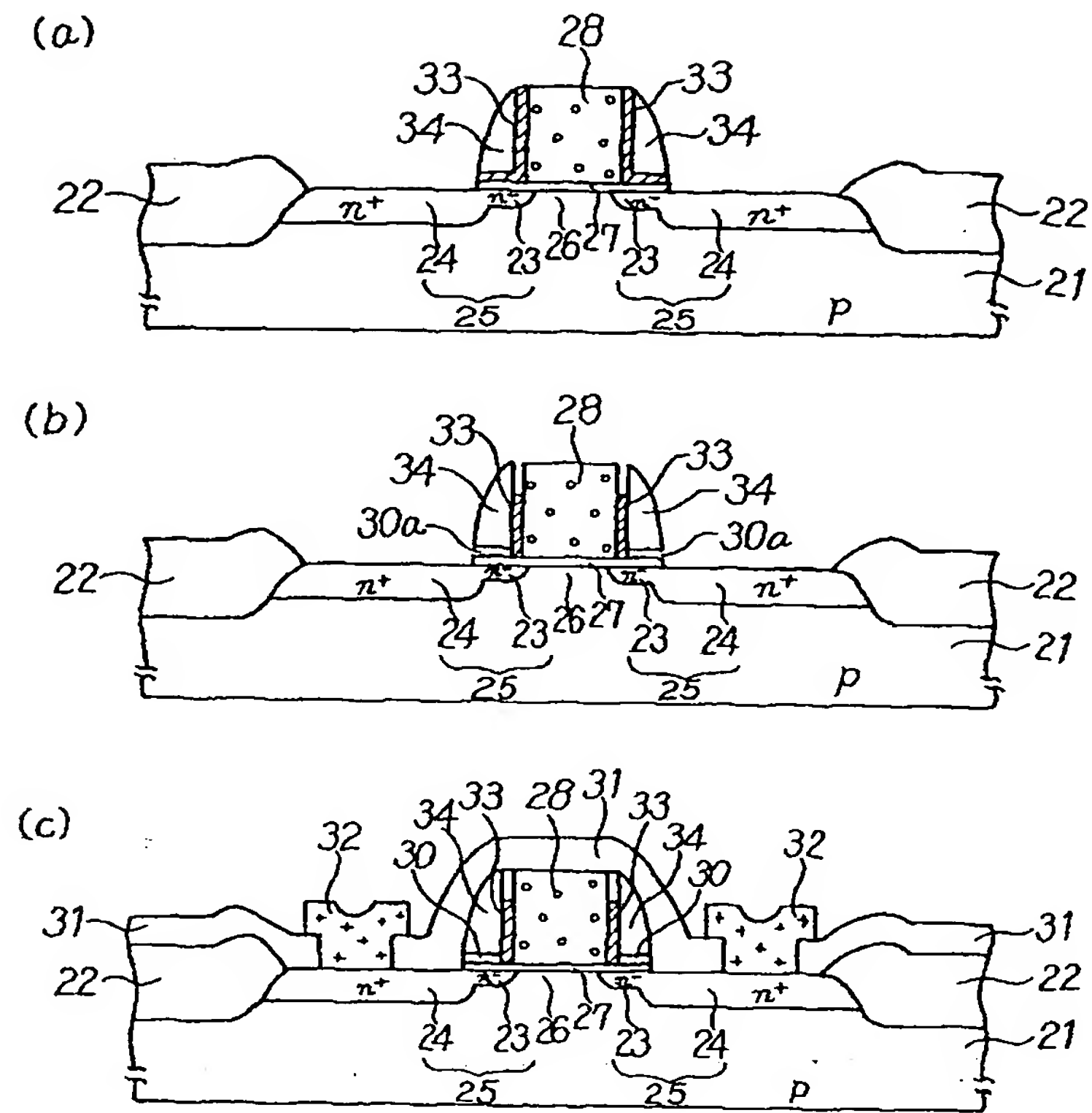
(b)



39: 絶縁薄膜

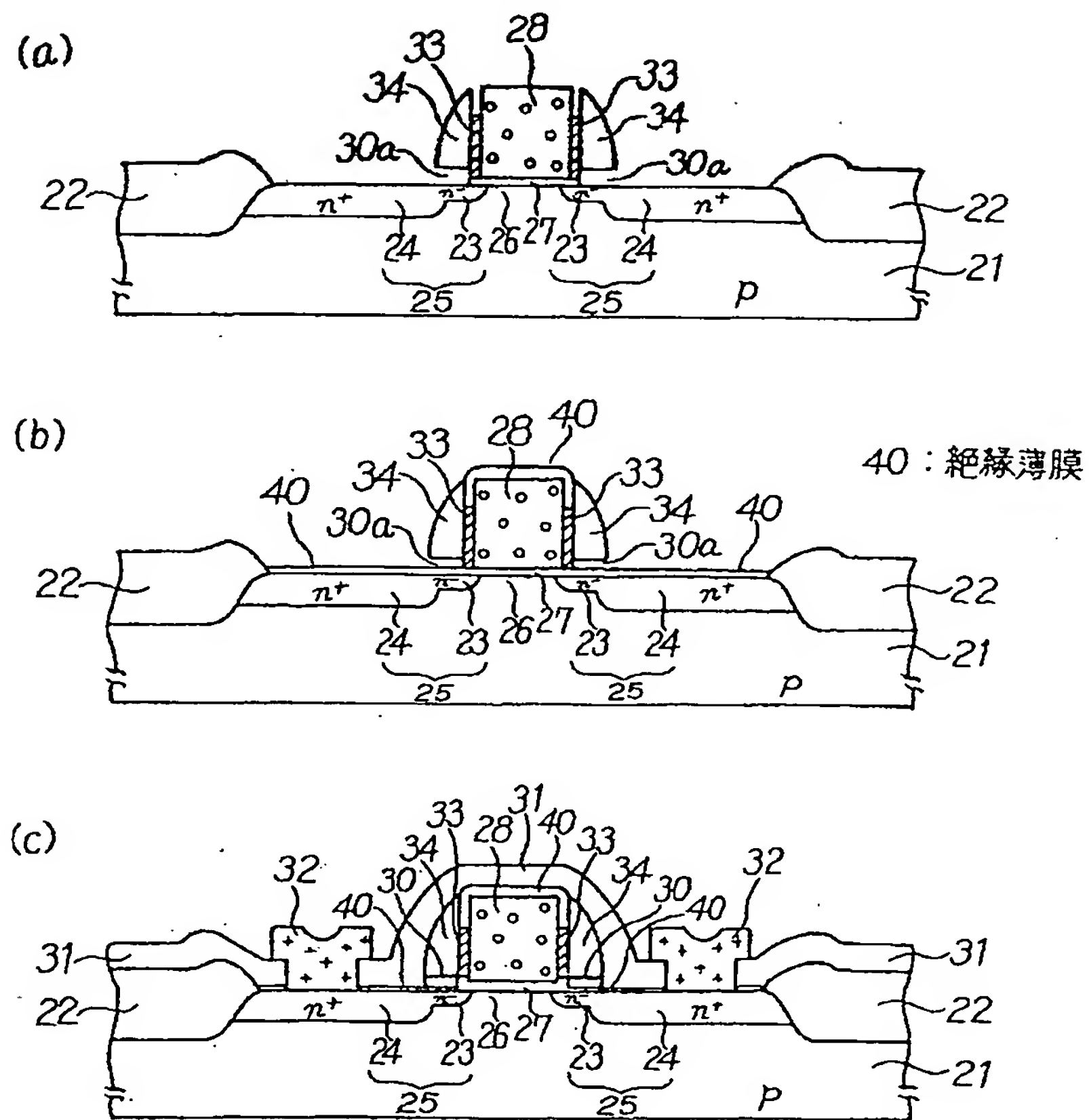
本発明の第2の実施例によるMOS型トランジスタを示す断面図

【第8図】



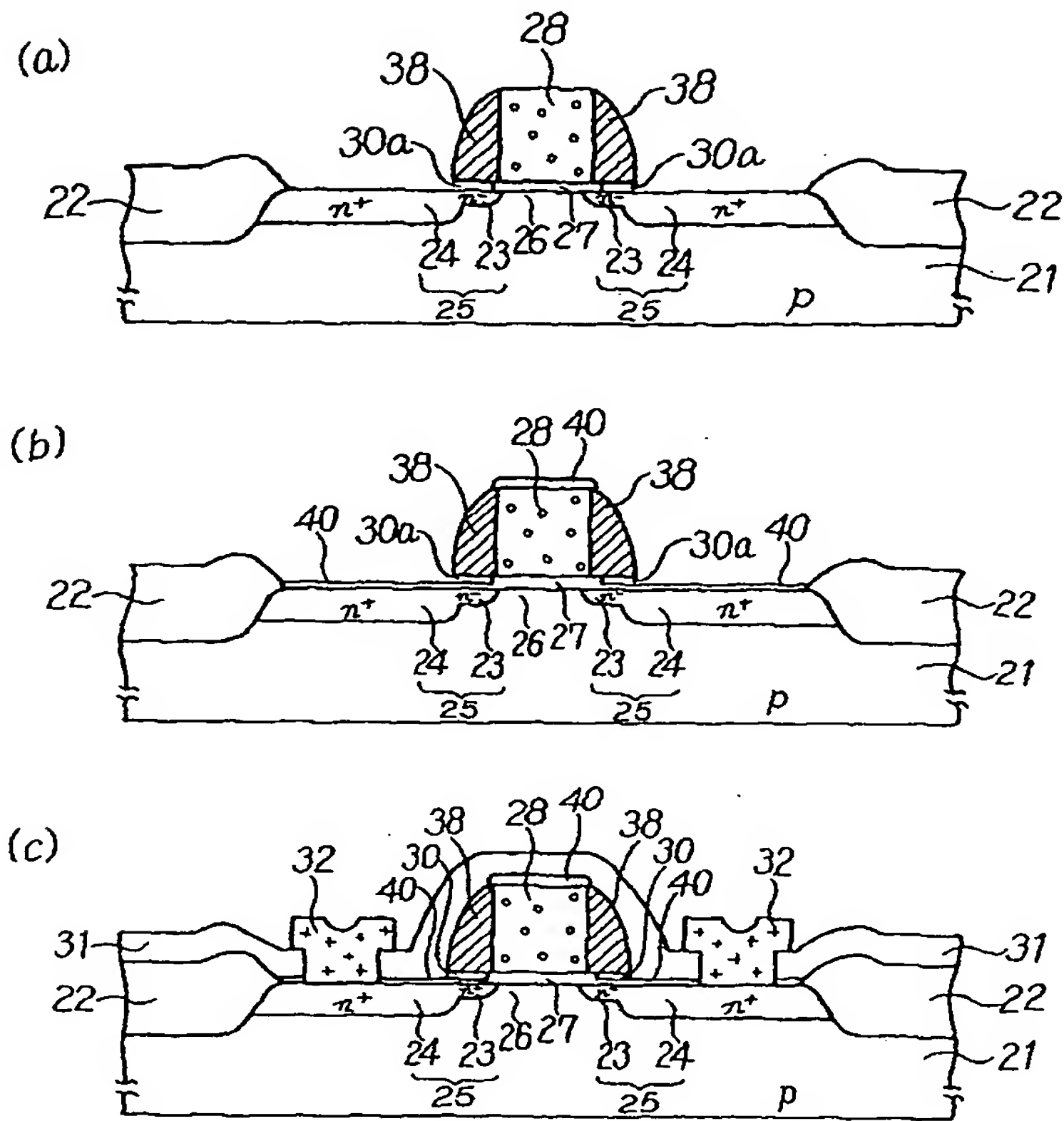
第7図に示すMOS型トランジスタの
第1の例による製造方法を説明するための工程図

【第9図】



第7図に示すMOS型トランジスタの
第2の例による製造方法を説明するための工程図

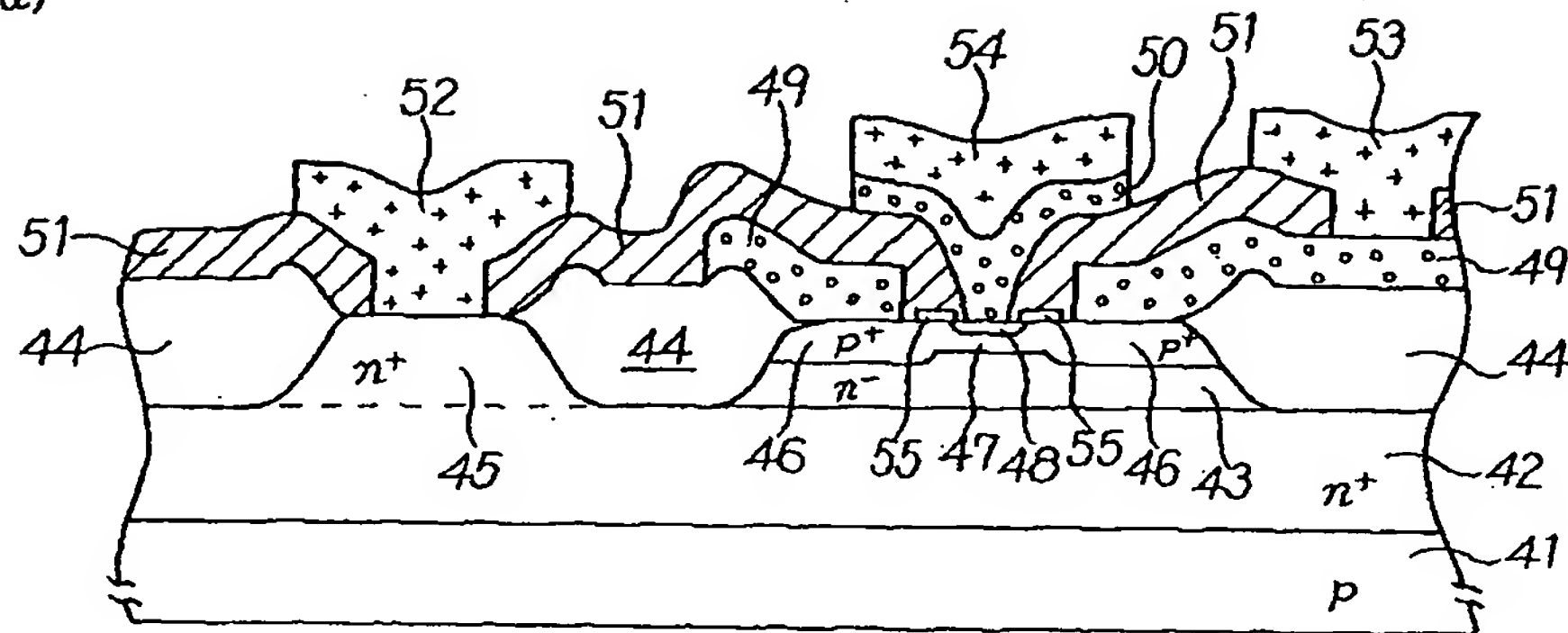
【第11図】



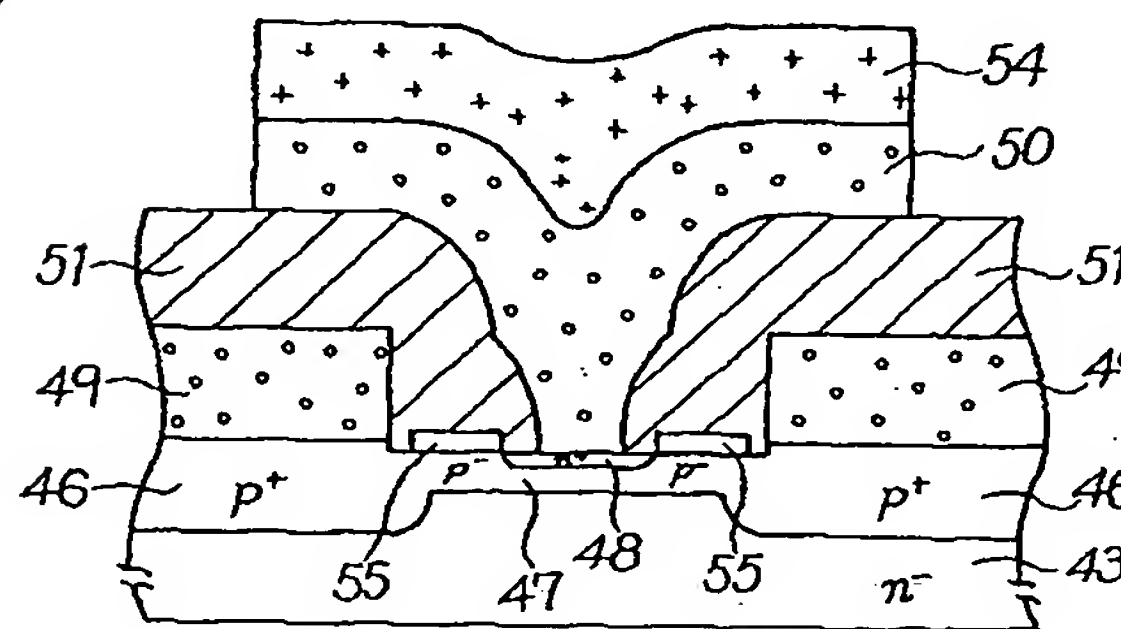
第7図に示すMOS型トランジスタの
第4の例による製造方法を説明するための工程図

【第12図】

(a)



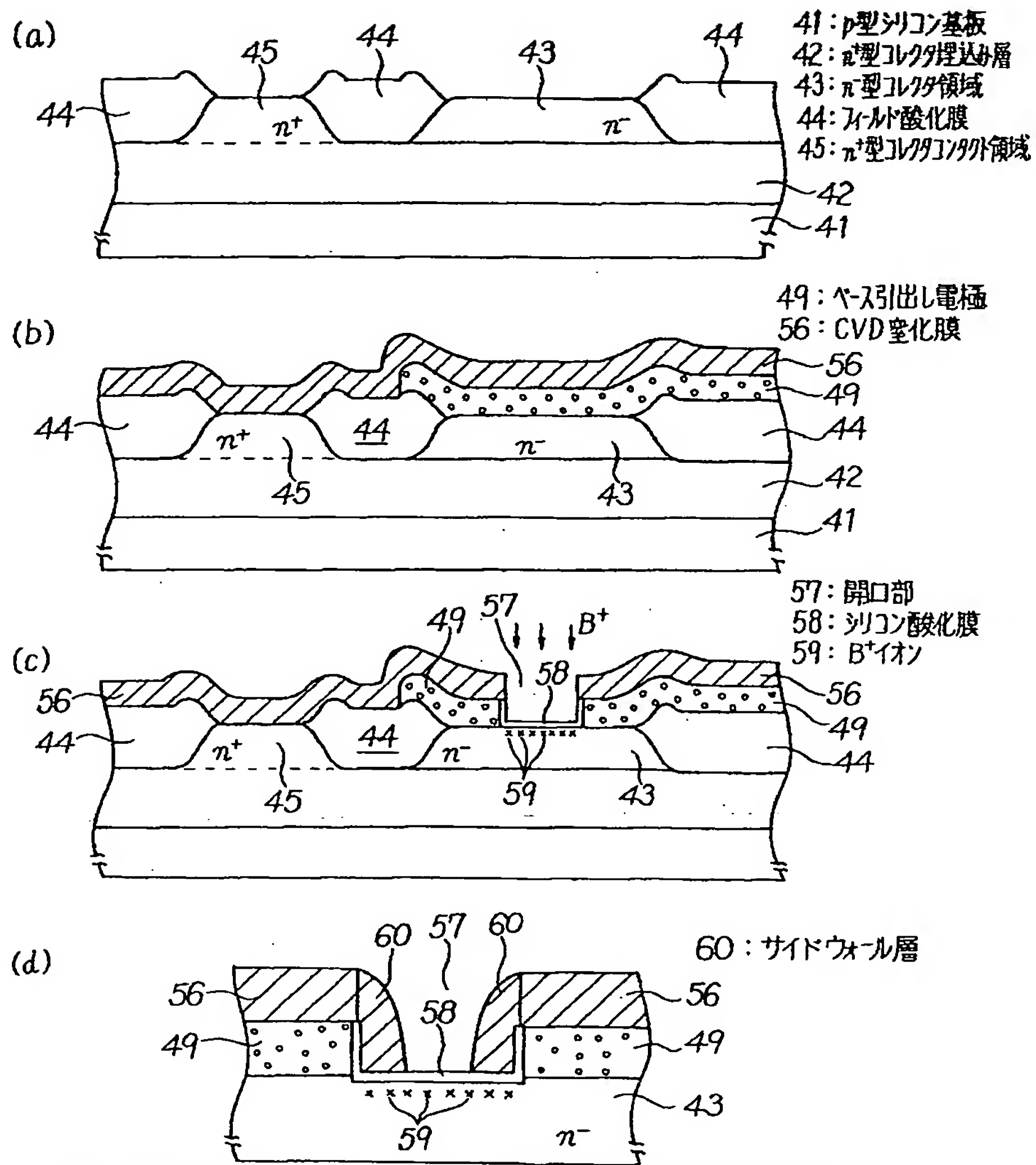
(b)



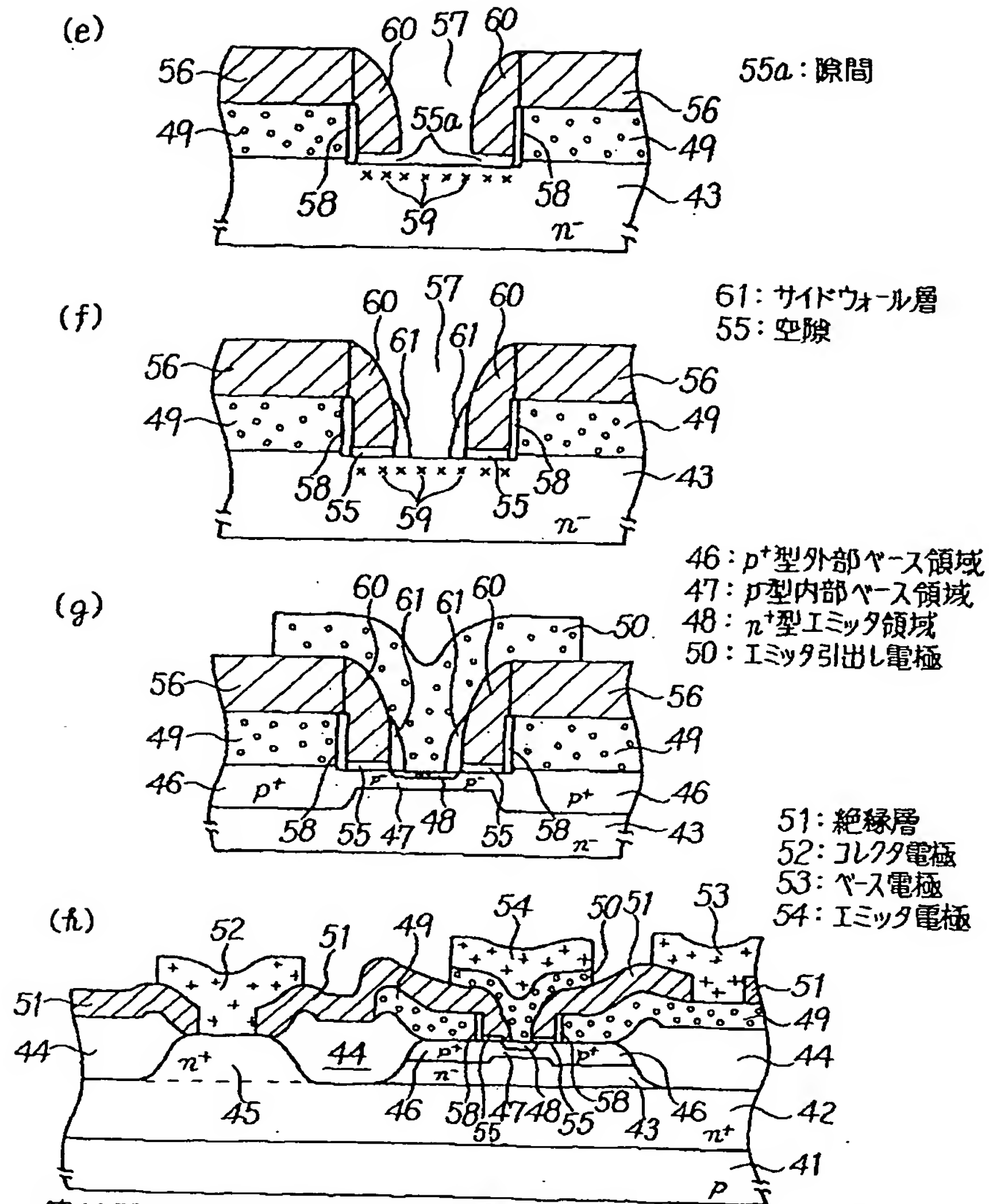
- 41: p型シリコン基板
- 42: n+型コレクタ埋込み層
- 43: n-型コレクタ領域
- 44: フォルト酸化膜
- 45: n+型コレクタコンタクト領域
- 46: p+型外部ベース領域
- 47: p+型内部ベース領域
- 48: n+型エミッタ領域
- 49: ベース引出し電極
- 50: エミッタ引出し電極
- 51: 絶縁層
- 52: コレクタ電極
- 53: ベース電極
- 54: エミッタ電極
- 55: 空隙

本発明の第3の実施例によるバイポーラ型トランジスタを示す断面図

【第13図】



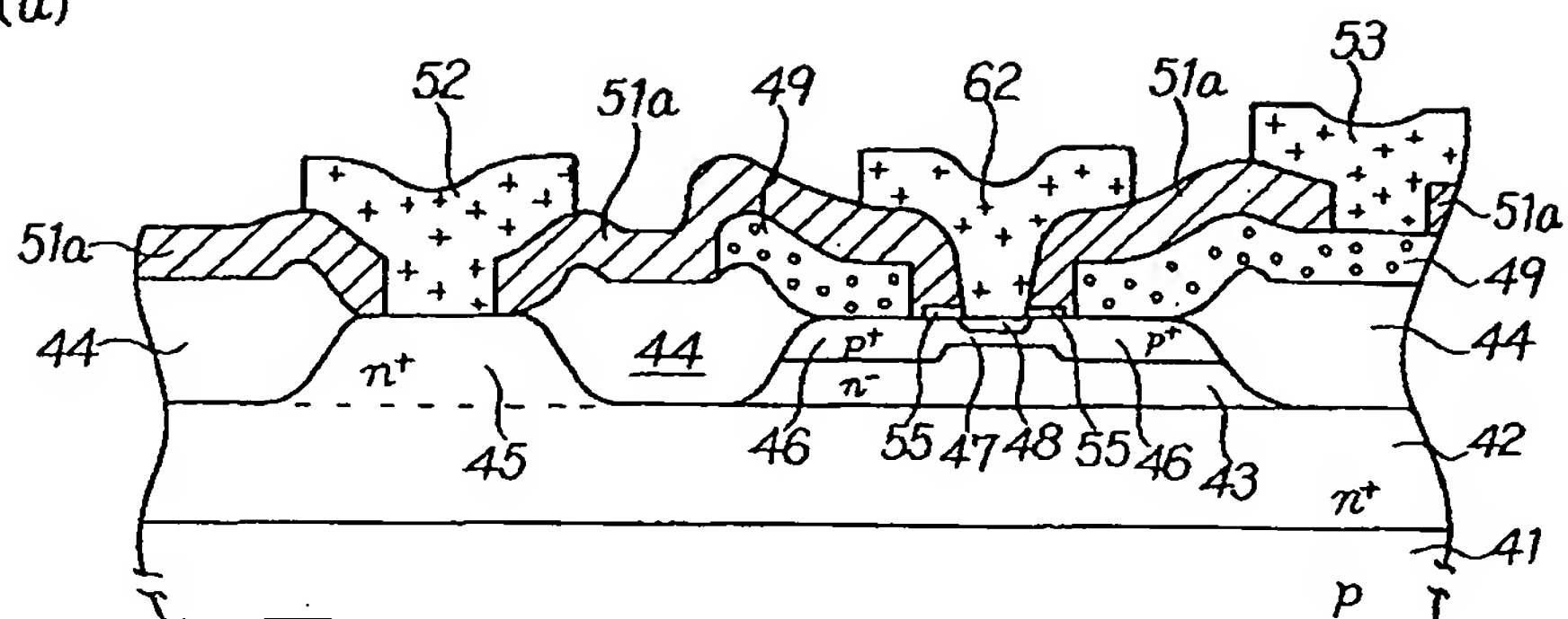
第12図に示すバイポーラ型トランジスタの製造方法を説明するための工程図



第12図に示すバイポーラ型トランジスタの製造方法を説明するための工程図

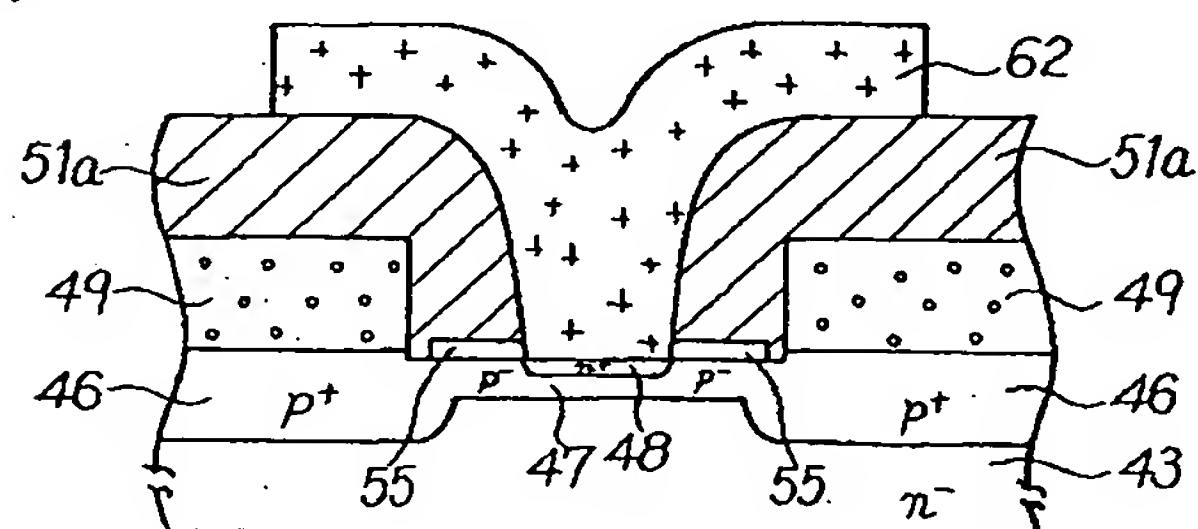
【第14図】

(a)



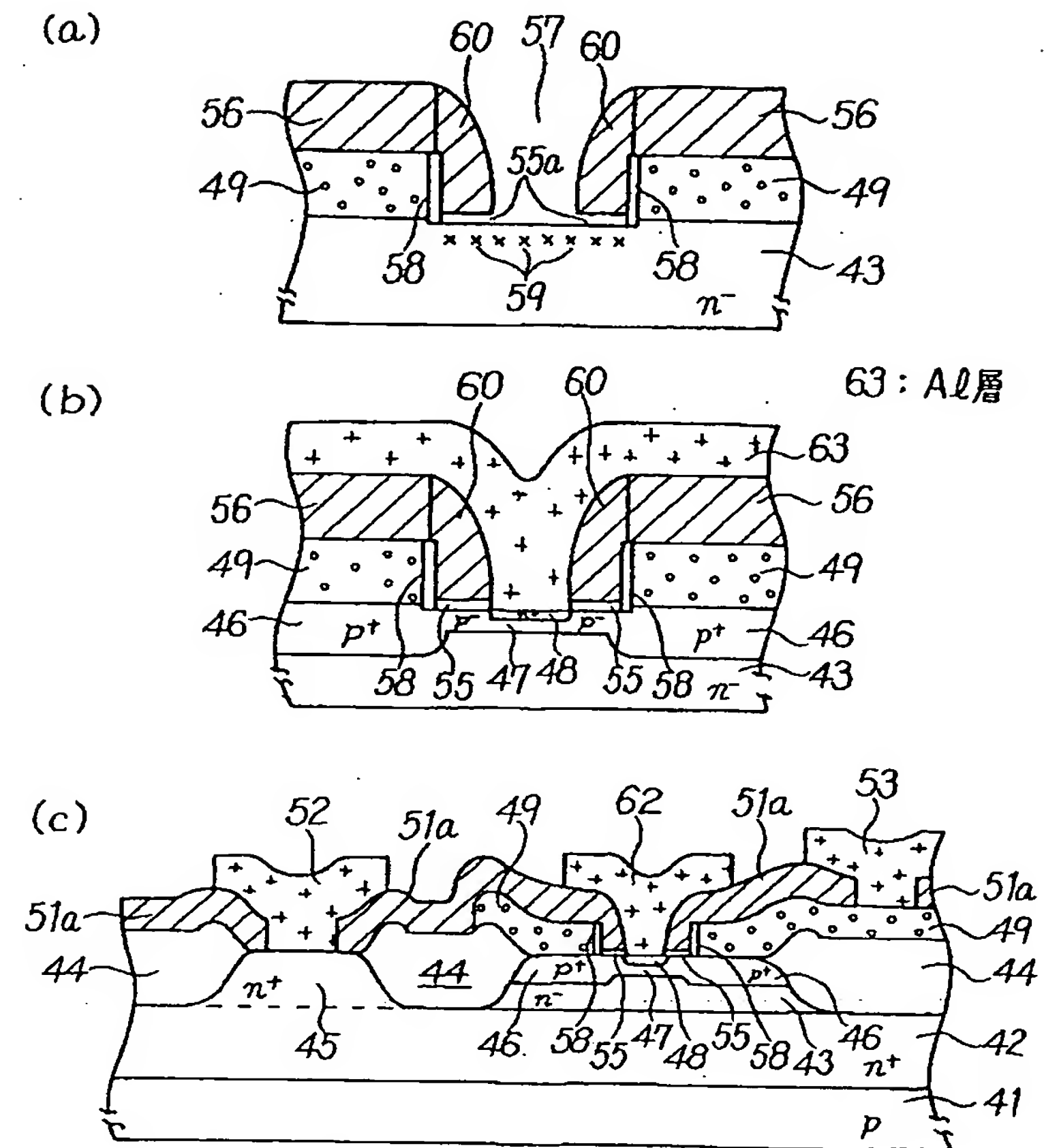
51a: 絶縁層
62: エミッタ電極

(b)

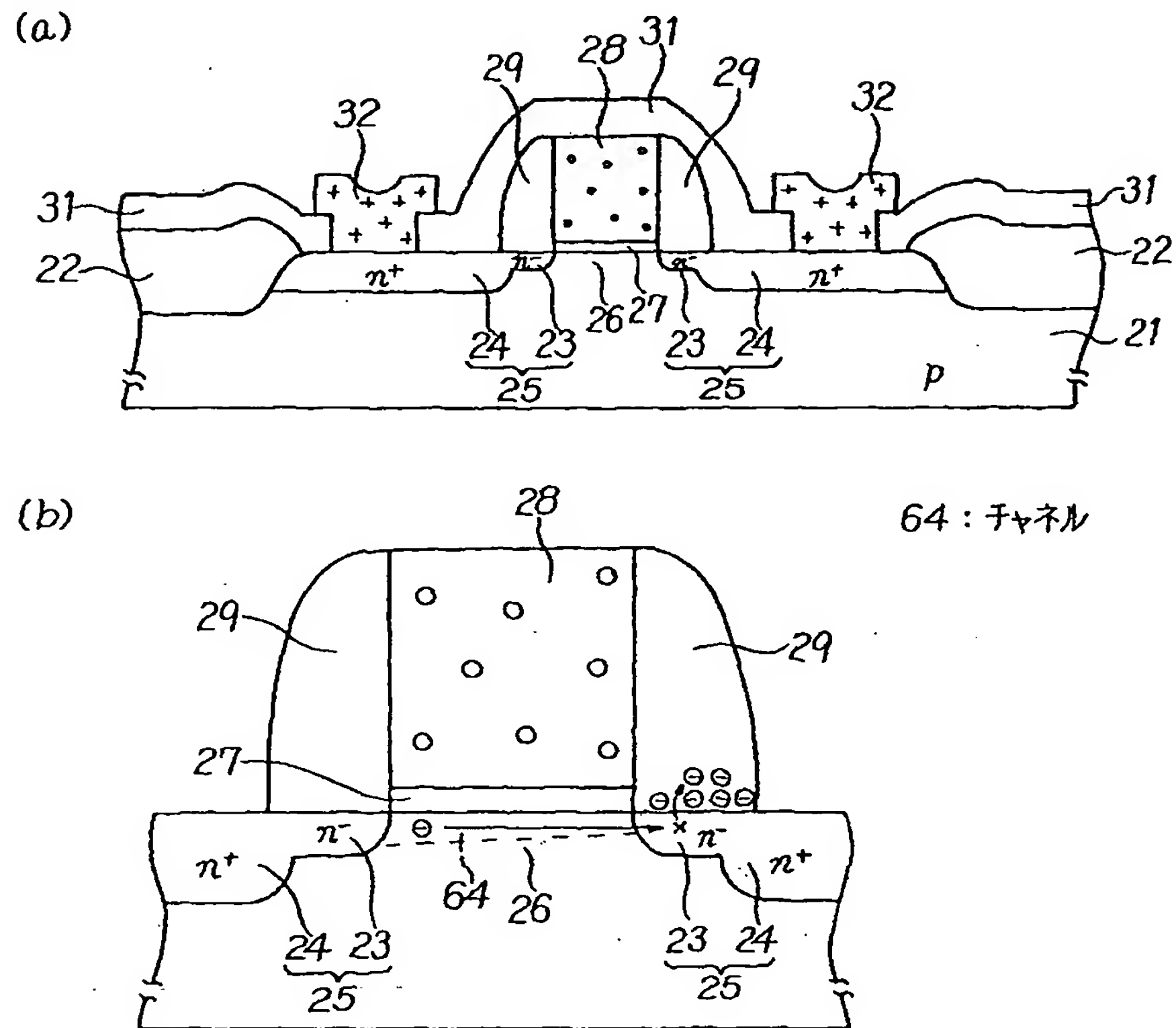


本発明の第4の実施例によるバイポーラ型トランジスタを示す断面図

【第 15 図】

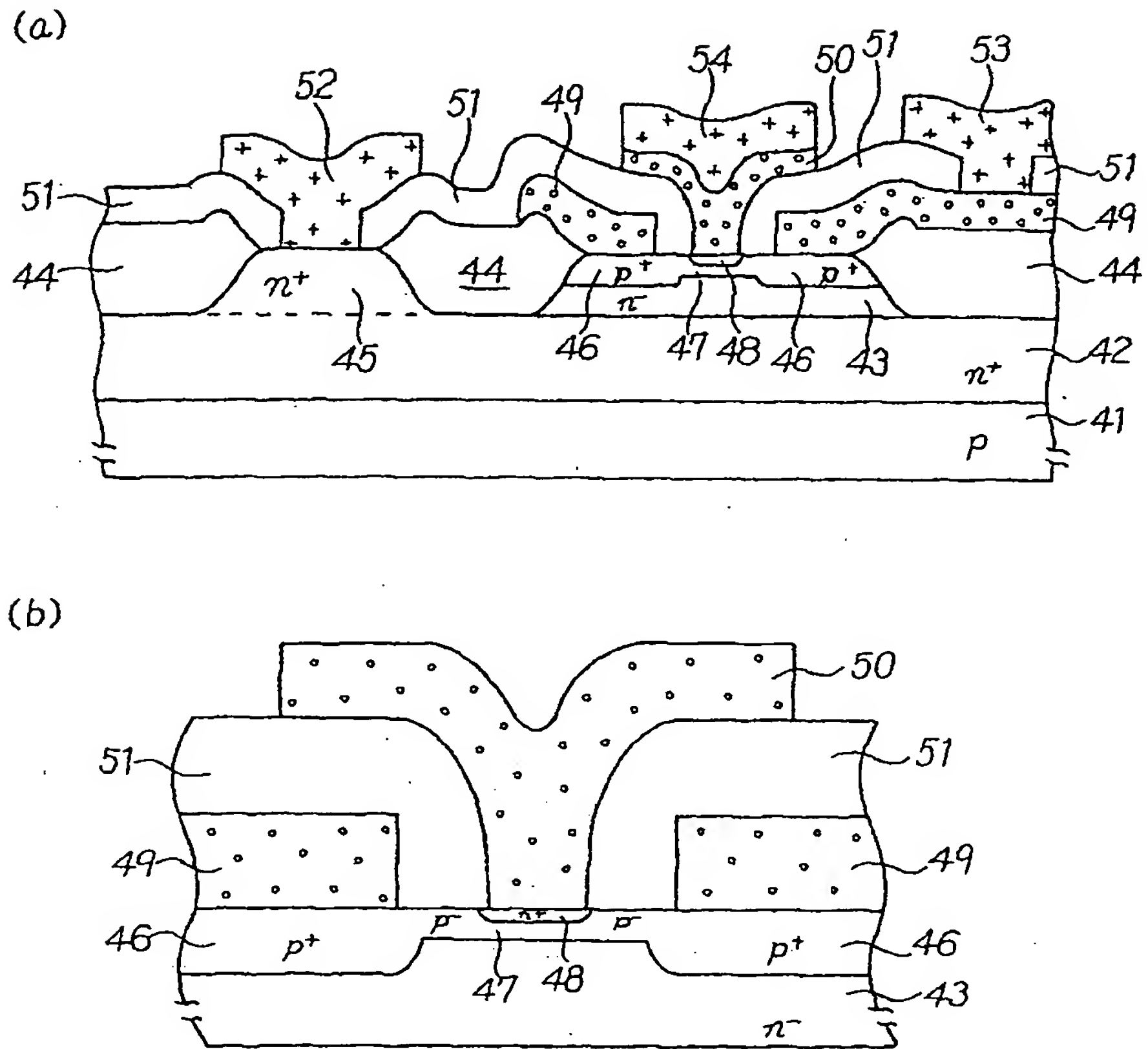


【第16図】



従来のMOS型トランジスタを示す断面図

【第17図】



従来のバイポーラ型トランジスタを示す断面図